



## Document Summary



New  
Search



Help

[Preview Claims](#)

[Preview Full Text](#)

[Preview Full Image](#)

Email Link:

**Document ID:** J P 2000-058780 A2

**Title:** SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

**Assignee:** TOSHIBA CORP

**Inventor:** TAKEGAWA YOICHI  
SUDO AKIRA  
MATSUDA SATOSHI  
TSUNASHIMA YOSHITAKA  
MIZUSHIMA ICHIRO  
SATO TSUTOMU  
KISHI KOICHI

**US Class:**

**Int'l Class:** H01L 27/108 A; H01L 21/8242 B; H01L 29/78 B

**Issue Date:** 02/25/2000

**Filing Date:** 07/31/1998

### Abstract:

**PROBLEM TO BE SOLVED:** To prevent the deterioration of device characteristics as much as possible.

**SOLUTION:** The surface of a trench 109 formed in a unidirectionally conductive semiconductor substrate is heat treated by hydrogen. The impurity density of the unidirectionally conductive semiconductor substrate is lower than usual. From the trench, oppositely conductive impurities are diffused toward the unidirectionally conductive semiconductor substrate. By hydrogen heat treatment, unidirectionally conductive impurities are diffused outwards from near the trench. This method includes a process wherein after forming insulating films 103, 105 on a 'p' type silicon substrate 101, a trench 109 is formed by etching eh insulating films and the silicon substrate and a process for annealing in a specified reduction atmosphere.

(C)2000,JPO

---

Copyright © 1993-2000 Aurigin Systems, Inc.  
[Legal Notices](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-58780

(P2000-58780A)

(43) 公開日 平成12年2月25日 (2000. 2. 25)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L 27/108		H 0 1 L 27/10	6 2 5 A 5 F 0 4 0
21/8242		29/78	3 0 1 V 5 F 0 8 3
29/78			

審査請求 未請求 請求項の数22 O L (全 29 頁)

(21) 出願番号 特願平10-217012

(22) 出願日 平成10年7月31日 (1998. 7. 31)

(31) 優先権主張番号 特願平10-157095

(32) 優先日 平成10年6月5日 (1998. 6. 5)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平9-331522

(32) 優先日 平成9年12月2日 (1997. 12. 2)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(72) 発明者 竹川 陽一  
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 須藤 章  
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100083161  
弁理士 外川 英明

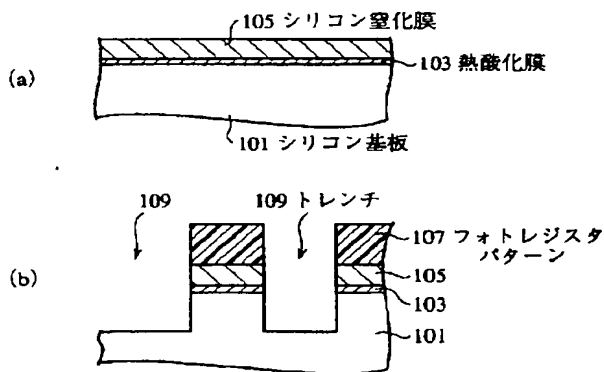
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 素子特性の劣化を可及的に防止する。

【解決手段】 本願発明は、一導電型半導体基板に形成されたトレンチの表面を水素熱処理することを特徴とする。また、本願発明は、一導電型半導体基板の不純物濃度を通常よりも低くしておくことを特徴とする。また、本願発明は、トレンチから一導電型半導体基板にむけて反対導電型不純物を拡散させることを特徴とする。また、本願発明は、水素熱処理により、トレンチ付近から一導電型不純物を外方拡散させることを特徴とする。また、本願発明は、p型シリコン基板101上に絶縁膜103、105を形成した後、この絶縁膜およびシリコン基板をエッチングすることによりトレンチ109を形成する工程と、所定の還元雰囲気中でアニールする工程と、を備えていることを特徴とする。



1

## 【特許請求の範囲】

【請求項 1】 一導電型不純物濃度が  $1 \times 10^{15}$  (atoms/cm<sup>3</sup>) 以下である一導電型半導体基板の上面の所定の位置から所定の深さまで形成されたトレンチと、  
 前記トレンチの底面から概略第一の高さまでの表面に形成された第一の絶縁膜と、  
 前記トレンチの側面であって、前記第一の絶縁膜の上面から第二の高さまでに形成された第二の絶縁膜と、  
 前記一導電型半導体基板の所定の位置に形成された素子分離領域と、  
 前記トレンチ内に形成された第一の導電膜と、  
 前記第一の導電膜と電氣的に接続された第一の反対導電型拡散層と、  
 前記一導電型半導体基板の上面の所定の位置に形成されたゲート電極と、  
 前記ゲート電極により前記第一の反対導電型拡散層と電氣的に接続される第二の反対導電型拡散層と、  
 前記第二の反対導電型拡散層と電氣的に接続され、外部回路と電氣的に接続される第二の導電膜とを具備することを特徴とする半導体装置。

【請求項 2】 不純物濃度が  $1 \times 10^{15}$  (atoms/cm<sup>3</sup>) 以下である一導電型半導体基板に所定の深さを有するトレンチを形成する工程と、  
 全面に第一の絶縁膜を形成する工程と、  
 全面に第一の導電膜を形成する工程と、  
 前記第一の導電膜を前記トレンチの所定の深さまで除去する工程と、  
 前記第一の絶縁膜を前記トレンチの所定の深さまで除去する工程と、  
 前記トレンチの側面のうち前記第一の絶縁膜の上面から所定の深さまで第二の絶縁膜を形成する工程と、  
 前記トレンチのうち前記第一の導電膜の上面から所定の深さまで第二の導電膜を形成する工程と、  
 前記一導電型半導体基板の所定の位置に素子分離領域を形成する工程と、  
 前記一導電型半導体基板の上面に情報転送用トランジスタを形成する工程と、  
 を具備することを特徴とする半導体装置の製造方法。

【請求項 3】 一導電型不純物濃度が  $1 \times 10^{15}$  (atoms/cm<sup>3</sup>) 以下である一導電型半導体基板の上面の所定の位置から所定の深さまで形成され、平滑化された表面を有するトレンチと、  
 前記トレンチの底面から概略第一の高さまでの表面に形成された第一の絶縁膜と、  
 前記トレンチの側面であって、前記第一の絶縁膜の上面から第二の高さまでに形成された第二の絶縁膜と、  
 前記一導電型半導体基板の所定の位置に形成された素子分離領域と、  
 前記トレンチ内に形成された第一の導電膜と、

2

前記第一の導電膜と電氣的に接続された第一の反対導電型拡散層と、  
 前記一導電型半導体基板の上面の所定の位置に形成されたゲート電極と、  
 前記ゲート電極により前記第一の反対導電型拡散層と電氣的に接続される第二の反対導電型拡散層と、  
 前記第二の反対導電型拡散層と電氣的に接続され、外部回路と電氣的に接続される第二の導電膜とを具備することを特徴とする半導体装置。

【請求項 4】 不純物濃度が  $1 \times 10^{15}$  (atoms/cm<sup>3</sup>) 以下である一導電型半導体基板に所定の深さを有するトレンチを形成する工程と、  
 前記トレンチの表面を水素熱処理する工程と、  
 全面に第一の絶縁膜を形成する工程と、  
 全面に第一の導電膜を形成する工程と、  
 前記第一の導電膜を前記トレンチの所定の深さまで除去する工程と、  
 前記第一の絶縁膜を前記トレンチの所定の深さまで除去する工程と、  
 前記トレンチの側面のうち前記第一の絶縁膜の上面から所定の深さまで第二の絶縁膜を形成する工程と、  
 前記トレンチのうち前記第一の導電膜の上面から所定の深さまで第二の導電膜を形成する工程と、  
 前記一導電型半導体基板の所定の位置に素子分離領域を形成する工程と、  
 前記一導電型半導体基板の上面に情報転送用トランジスタを形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 5】 一導電型半導体基板の上面の所定の位置から所定の深さまで形成されたトレンチと、  
 前記一導電型半導体基板内に拡散していて、前記トレンチとの界面から離れるに従って濃度が薄くなる反対導電型不純物と、  
 前記トレンチの底面から概略第一の高さまでの表面に形成された第一の絶縁膜と、  
 前記トレンチの側面であって、前記第一の絶縁膜の上面から第二の高さまでに形成された第二の絶縁膜と、  
 前記一導電型半導体基板の所定の位置に形成された素子分離領域と、  
 前記トレンチ内に形成された第一の導電膜と、  
 前記第一の導電膜と電氣的に接続された第一の反対導電型拡散層と、  
 前記一導電型半導体基板の上面の所定の位置に形成されたゲート電極と、  
 前記ゲート電極により前記第一の反対導電型拡散層と電氣的に接続される第二の反対導電型拡散層と、  
 前記第二の反対導電型拡散層と電氣的に接続され、外部回路と電氣的に接続される第二の導電膜とを具備することを特徴とする半導体装置。

【請求項 6】 一導電型半導体基板に所定の深さを有する

3

るトレンチを形成する工程と、  
 前記一導電型半導体基板の反対導電型不純物濃度が前記トレンチとの界面から離れるに従って薄くなるように前記トレンチの表面から前記一導電型半導体基板に向けて反対導電型不純物を拡散させる工程と、  
 全面に第一の絶縁膜を形成する工程と、  
 全面に第一の導電膜を形成する工程と、  
 前記第一の導電膜を前記トレンチの所定の深さまで除去する工程と、  
 前記第一の絶縁膜を前記トレンチの所定の深さまで除去する工程と、  
 前記トレンチの側面のうち前記第一の絶縁膜の上面から所定の高さまで第二の絶縁膜を形成する工程と、  
 前記トレンチのうち前記第一の導電膜の上面から所定の高さまで第二の導電膜を形成する工程と、  
 前記一導電型半導体基板の所定の位置に素子分離領域を形成する工程と、  
 前記一導電型半導体基板の上面に情報転送用トランジスタを形成する工程と、を具備することを特徴とする半導体装置の製造方法。  
 【請求項7】 一導電型半導体基板の上面の所定の位置から所定の深さまで形成され、平滑化された表面を有するトレンチと、  
 前記一導電型半導体基板内に拡散していて、前記トレンチとの界面から離れるに従って濃度が薄くなる反対導電型不純物と、  
 前記トレンチの底面から概略第一の高さまでの表面に形成された第一の絶縁膜と、  
 前記トレンチの側面であって、前記第一の絶縁膜の上面から第二の高さまでに形成された第二の絶縁膜と、  
 前記一導電型半導体基板の所定の位置に形成された素子分離領域と、  
 前記トレンチ内に形成された第一の導電膜と、  
 前記第一の導電膜と電気的に接続された第一の反対導電型拡散層と、  
 前記一導電型半導体基板の上面の所定の位置に形成されたゲート電極と、  
 前記ゲート電極により前記第一の反対導電型拡散層と電気的に接続される第二の反対導電型拡散層と、  
 前記第二の反対導電型拡散層と電気的に接続され、外部回路と電気的に接続される第二の導電膜とを具備することを特徴とする半導体装置。  
 【請求項8】 一導電型半導体基板に所定の深さを有するトレンチを形成する工程と、  
 前記トレンチの表面を水素熱処理する工程と、  
 前記一導電型半導体基板の反対導電型不純物濃度が前記トレンチとの界面から離れるに従って薄くなるように前記トレンチの表面から前記一導電型半導体基板に向けて反対導電型不純物を拡散させる工程と、  
 全面に第一の絶縁膜を形成する工程と、

4

全面に第一の導電膜を形成する工程と、  
 前記第一の導電膜を前記トレンチの所定の深さまで除去する工程と、  
 前記第一の絶縁膜を前記トレンチの所定の深さまで除去する工程と、  
 前記トレンチの側面のうち前記第一の絶縁膜の上面から所定の高さまで第二の絶縁膜を形成する工程と、  
 前記トレンチのうち前記第一の導電膜の上面から所定の高さまで第二の導電膜を形成する工程と、  
 前記一導電型半導体基板の所定の位置に素子分離領域を形成する工程と、  
 前記一導電型半導体基板の上面に情報転送用トランジスタを形成する工程と、を具備することを特徴とする半導体装置の製造方法。  
 【請求項9】 一導電型半導体基板の上面の所定の位置から所定の深さまで形成されたトレンチと、  
 前記トレンチの底面から概略第一の高さまでの表面に形成された第一の絶縁膜と、  
 前記トレンチの側面であって、前記第一の絶縁膜の上面から第二の高さまでに形成された第二の絶縁膜と、  
 前記一導電型半導体基板の所定の位置に形成された素子分離領域と、  
 前記トレンチ内に形成された第一の導電膜と、  
 前記第一の導電膜と電気的に接続された第一の反対導電型拡散層と、  
 前記一導電型半導体基板の上面の所定の位置に形成されたゲート電極と、  
 前記ゲート電極により前記第一の反対導電型拡散層と電気的に接続される第二の反対導電型拡散層と、  
 前記第二の反対導電型拡散層と電気的に接続され、外部回路と電気的に接続される第二の導電膜とを具備していて、  
 前記一導電型半導体基板の一導電型不純物濃度は前記トレンチから離れるほど濃くなることを特徴とする半導体装置。  
 【請求項10】 一導電型半導体基板に所定の深さを有するトレンチを形成する工程と、  
 前記トレンチの表面を水素熱処理して、前記一導電型半導体基板に含まれる一導電型不純物を外方拡散させる工程と、  
 全面に第一の絶縁膜を形成する工程と、  
 全面に第一の導電膜を形成する工程と、  
 前記第一の導電膜を前記トレンチの所定の深さまで除去する工程と、  
 前記第一の絶縁膜を前記トレンチの所定の深さまで除去する工程と、  
 前記トレンチの側面のうち前記第一の絶縁膜の上面から所定の高さまで第二の絶縁膜を形成する工程と、  
 前記トレンチのうち前記第一の導電膜の上面から所定の高さまで第二の導電膜を形成する工程と、

5

前記一導電型半導体基板の所定の位置に素子分離領域を形成する工程と、

前記一導電型半導体基板の上面に情報転送用トランジスタを形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 11】 一導電型半導体基板の上面の所定の位置から所定の深さまで形成され、平滑化された表面を有するトレンチと、  
前記トレンチの底面から概略第一の高さまでの表面に形成された第一の絶縁膜と、  
前記トレンチの側面であって、前記第一の絶縁膜の上面から第二の高さまでに形成された第二の絶縁膜と、  
前記一導電型半導体基板の所定の位置に形成された素子分離領域と、  
前記トレンチ内に形成された第一の導電膜と、  
前記第一の導電膜と電気的に接続された第一の反対導電型拡散層と、  
前記一導電型半導体基板の上面の所定の位置に形成されたゲート電極と、  
前記ゲート電極により前記第一の反対導電型拡散層と電気的に接続される第二の反対導電型拡散層と、  
前記第二の反対導電型拡散層と電気的に接続され、外部回路と電気的に接続される第二の導電膜とを具備している、  
前記一導電型半導体基板の一導電型不純物濃度は前記トレンチ付近で低くなっていることを特徴とする半導体装置。

【請求項 12】 一導電型半導体基板の上面の所定の位置から所定の深さまで形成され、平滑化された表面を有するトレンチと、  
前記トレンチの底面から概略第一の高さまでの表面に形成された第一の絶縁膜と、  
前記一導電型半導体基板内であって、前記第一の絶縁膜に対抗する位置に形成された埋め込みプレートと、  
前記トレンチの側面であって、前記第一の絶縁膜の上面から第二の高さまでに形成された第二の絶縁膜と、  
前記一導電型半導体基板の所定の位置に形成された素子分離領域と、  
前記トレンチ内に形成された第一の導電膜と、  
前記第一の導電膜と電気的に接続された第一の反対導電型拡散層と、  
前記一導電型半導体基板の上面の所定の位置に形成されたゲート電極と、  
前記ゲート電極により前記第一の反対導電型拡散層と電気的に接続される第二の反対導電型拡散層と、  
前記第二の反対導電型拡散層と電気的に接続され、外部回路と電気的に接続される第二の導電膜とを具備することを特徴とする半導体装置。

【請求項 13】 一導電型半導体基板に所定の深さを有するトレンチを形成する工程と、

6

前記トレンチの表面を水素熱処理する工程と、  
前記トレンチの底面から所定の高さまでの表面から前記一導電型半導体基板に向けて反対導電型不純物を拡散させて埋め込みプレートを形成する工程と、

全面に第一の絶縁膜を形成する工程と、  
全面に第一の導電膜を形成する工程と、

前記第一の導電膜を前記トレンチの所定の深さまで除去する工程と、

10 前記第一の絶縁膜を前記トレンチの所定の深さまで除去する工程と、

前記トレンチの側面のうち前記第一の絶縁膜の上面から所定の高さまで第二の絶縁膜を形成する工程と、

前記トレンチのうち前記第一の導電膜の上面から所定の高さまで第二の導電膜を形成する工程と、

前記一導電型半導体基板の所定の位置に素子分離領域を形成する工程と、

前記一導電型半導体基板の上面に情報転送用トランジスタを形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 14】 一導電型半導体基板の上面の所定の位置から所定の深さまで形成され、平滑化された表面を有するトレンチと、  
前記トレンチの底面から概略第一の高さまでの表面に形成された第一の絶縁膜と、  
前記トレンチの側面であって、前記第一の絶縁膜の上面から第二の高さまでに形成された第二の絶縁膜と、  
前記一導電型半導体基板の所定の位置に形成された素子分離領域と、  
前記トレンチ内に形成された第一の導電膜と、  
30 前記第一の導電膜と電気的に接続された第一の反対導電型拡散層と、  
前記一導電型半導体基板の上面の所定の位置に形成されたゲート電極と、  
前記ゲート電極により前記第一の反対導電型拡散層と電気的に接続される第二の反対導電型拡散層と、  
前記第二の反対導電型拡散層と電気的に接続され、外部回路と電気的に接続される第二の導電膜とを具備することを特徴とする半導体装置。

【請求項 15】 一導電型半導体基板に所定の深さを有するトレンチを形成する工程と、  
前記トレンチの表面を水素熱処理する工程と、  
全面に第一の絶縁膜を形成する工程と、  
全面に第一の導電膜を形成する工程と、  
前記第一の導電膜を前記トレンチの所定の深さまで除去する工程と、  
前記第一の絶縁膜を前記トレンチの所定の深さまで除去する工程と、  
前記トレンチの側面のうち前記第一の絶縁膜の上面から所定の高さまで第二の絶縁膜を形成する工程と、  
50 前記トレンチのうち前記第一の導電膜の上面から所定の

高さまで第二の導電膜を形成する工程と、  
前記一導電型半導体基板の所定の位置に素子分離領域を形成する工程と、  
前記一導電型半導体基板の上面に情報転送用トランジスタを形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 16】 前記一導電型半導体基板の底面から所定の高さまでの一導電型不純物濃度が前記所定の高さから上面までの一導電型不純物濃度よりも高濃度であることを特徴とする請求項 1、3、5、7、9、11、13、15 記載の半導体装置。

【請求項 17】 前記一導電型半導体基板の底面から所定の高さまでの一導電型不純物濃度が前記所定の高さから上面までの一導電型不純物濃度よりも高濃度であることを特徴とする請求項 2、4、6、8、10、12、14 記載の半導体装置の製造方法。

【請求項 18】 シリコン基板上に絶縁膜を形成した後、この絶縁膜および前記シリコン基板をエッチングすることによりトレンチを形成する工程と、  
所定の還元雰囲気中でアニールする工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 19】 シリコン基板上に絶縁膜を形成した後、この絶縁膜および前記シリコン基板をエッチングすることによりトレンチを形成する工程と、  
前記シリコン基板上に残存している前記絶縁膜の側部をエッチングすることにより前記トレンチの上側の角部近傍の前記シリコン基板の表面を露出させる工程と、  
所定の還元雰囲気中でアニールする工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 20】 シリコン基板上に第 1 の絶縁膜を形成した後、この第 1 の絶縁膜および前記シリコン基板をエッチングすることによりトレンチを形成する工程と、  
前記トレンチを埋込むように基板全面に第 2 の絶縁膜を堆積した後、前記第 1 の絶縁膜の表面が露出するまで前記第 2 の絶縁膜をエッチングする工程と、  
露出している前記第 1 の絶縁膜を除去する工程と、  
所定の還元雰囲気中でアニールする工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 21】 シリコン基板をエッチングすることによりトレンチを形成する工程と、  
前記トレンチを埋込むように基板全面に絶縁膜を堆積した後、前記シリコン基板の表面が露出するまで前記絶縁膜をエッチングする工程と、  
所定の還元雰囲気中でアニールする工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 22】 前記還元雰囲気は圧力が大気圧より低く、温度が 900℃～1100℃の範囲の温度であって、水素濃度が 100% の雰囲気であることを特徴とする請求項 18 乃至 21 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、トレンチを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】トレンチを有する従来の半導体装置、例えば DRAM の製造方法を説明する。ここでのトレンチは DRAM におけるトレンチキャパシタの一部として利用される。

【0003】まず、図 1 に示したように、半導体基板、例えば p 型シリコン基板 1 の上面に、熱酸化法を用いてシリコン酸化膜 2 を厚さ 8 nm 程度に形成する。そして、CVD (Chemical Vapor Deposition) 法を用いてシリコン酸化膜 2 の上面にシリコン窒化膜 3 を厚さ 220 nm 程度に形成する。さらに、CVD 法を用いてシリコン窒化膜 3 の上面に TEOS 膜 4 を厚さ 200 nm 程度に形成する。次に、回転塗布法を用いて TEOS 膜 4 の上面に図示せぬレジストを塗布する。次に、写真蝕刻法を用いてこのレジストを所定の形状にパターンニングする。この所定の形状にパターンニングされた図示せぬレジストをマスクとして、異方性エッチング法、例えば RIE 法により TEOS 膜 4 及びシリコン窒化膜 3 並びにシリコン酸化膜 2 を所定の形状にエッチングする。これにより、p 型シリコン基板 1 の上面の一部が露出する。さらに、TEOS 膜 4 をマスクとして異方性エッチング法、例えば RIE 法を用いて p 型シリコン基板 1 をエッチングする。これにより、トレンチ 5 が形成される。なお、あらかじめ p 型シリコン基板 1 の所定の位置に n 型拡散層 6 を形成しておく。また、このトレンチ 5 の深さは 7 μm 程度とする。

【0004】次に、図 2 に示したように、CVD 法を用いて全面に、不純物を含む膜、例えば AsSG 膜 7 を厚さ 30 nm 程度に形成する。さらに、回転塗布法を用いて全面にレジスト 8 を厚さ数千 nm 程度に形成する。そして、露光現像法やダウンフローエッチング法を用いて、レジスト 8 をトレンチ 5 の所定の深さまで除去する。これにより、AsSG 膜 7 の一部が露出する。

【0005】次に、図 3 に示したように、フッ酸系のウェットエッチング法を用いて、露出している AsSG 膜 7 を除去する。次に、図 4 に示したように、アッシング法やウェットエッチング法によりレジスト 8 を除去する。そして、CVD 法を用いて全面に TEOS 膜 9 を形成する。この TEOS 膜 9 により、AsSG 膜 7 は被覆される。

【0006】次に、図 5 に示したように、熱拡散法を用いて、AsSG 膜 7 に含まれる As をトレンチ 5 の側面から p 型シリコン基板 1 に拡散させる。これにより、プレート電極となる埋め込みプレート 10 が形成される。ここで、TEOS 膜 9 は As をトレンチ 5 の側面から p 型シリコン基板 1 に拡散させる際に、As がトレンチ 5

9

内に拡散してトレンチ5の側面のうちAsSG膜7が形成されていない部分からp型シリコン基板1に拡散することを防止するためのものである。さらに、ウェットエッチング法を用いてTEOS膜9及びAsSG膜7をそれぞれ除去する。

【0007】次に、図6に示したように、CVD法を用いて、全面に絶縁膜11を厚さ数十nm程度に形成する。ここで、絶縁膜11としては、例えば窒化膜と酸化膜との複合膜であるNO膜が挙げられる。また、絶縁膜11の代わりに誘電体膜を利用しても構わない。さらに、CVD法を用いて、全面に導電膜12を形成する。この導電膜12としては、例えば不純物がドーパされたポリシリコン膜が挙げられる。

【0008】次に、図7に示したように、CMP法等の所定の平坦化プロセスや所定のエッチング工程により、導電膜12をトレンチ5内の所定の深さまで除去する。これにより、絶縁膜11の一部が露出される。この際、TEOS膜4は除去されることとなる。

【0009】次に、図8に示したように、例えばリン酸系のウェットエッチング法を用いて、露出した絶縁膜11を除去する。次に、図9に示したように、CVD法を用いて、全面に絶縁膜、例えばTEOS膜13を厚さ35nm程度に形成する。このTEOS膜13は寄生トランジスタの発生を防止するためのものであり、膜厚を十分に取る必要がある。そして、異方性エッチング法、例えばRIE法を用いて絶縁膜13をトレンチ5の側面にのみ残す。

【0010】次に、図10に示したように、CVD法を用いて、全面に例えば砒素をドーパした多結晶シリコン膜からなる導電膜14をトレンチ5が充填されるように、厚さ数百nm程度に形成する。そして、CMP法等の平坦化プロセスにより、シリコン窒化膜3の上面まで平坦化する。そして、例えばダウンフローエッチング法を用いて導電膜14を所定の深さまでエッチングする。

【0011】次に、図11に示したように、例えばウェットエッチング法を用いてTEOS膜13を所定の深さまでエッチングする。そして、CVD法を用いて全面に、例えば砒素がドーパされた多結晶シリコン膜からなる導電膜15を厚さ数百nm程度に形成する。そして、CMP法等の所定の平坦化プロセスや所定のエッチング工程により、導電膜15をトレンチ5内の所定の深さまでエッチングする。

【0012】次に、図12に示したように、所定のエッチング工程により、p型シリコン基板1の上部を所定の形状にエッチングする。次に、図13に示したように、CVD法を用いて全面に絶縁膜、例えばTEOS膜16を厚さ数百nm程度に形成する。その後、所定のエッチング工程や、例えばCMP法等の平坦化プロセスを用いて、p型シリコン基板1の上面で平坦化する。これにより、TEOS膜16からなる素子分離領域が形成され

10

る。

【0013】次に、図14に示したように、例えば熱酸化法を用いて、全面にシリコン酸化膜17を厚さ8nm程度に形成する。このシリコン酸化膜17はゲート絶縁膜となる。次に、CVD法を用いて、全面にポリシリコン膜18を厚さ100nm程度に形成する。そして、例えばスパッタ法を用いて、ポリシリコン膜18の上面にタングステンシリサイド膜19を厚さ55nm程度に形成する。さらに、例えばCVD法を用いて、タングステンシリサイド膜19の上面にシリコン窒化膜20を厚さ150nm程度に形成する。さらに、シリコン窒化膜20の上面に所定の形状にパターニングされた図示せぬレジストをマスクとして、異方性エッチング法、例えばRIE法を用いてシリコン窒化膜20及びタングステンシリサイド膜19並びにポリシリコン膜18をエッチングする。このシリコン窒化膜20及びタングステンシリサイド膜19並びにポリシリコン膜18がゲート電極となる。

【0014】次に、図15に示したように、所定の拡散層21を形成する。そして、CVD法を用いて全面にシリコン窒化膜22を厚さ30nm程度に形成する。さらに、CVD法を用いて全面に絶縁膜、例えばBPSG膜23を厚さ700nm程度に形成する。このBPSG膜23を平坦化プロセス、例えばCMP法を用いてシリコン窒化膜20の上方、100nm程度まで除去して平坦化する。そして、CVD法を用いて全面に絶縁膜、例えばTEOS膜24を厚さ200nm～400nm程度に形成する。さらに、このTEOS膜24及びBPSG膜23を所定の形状にエッチングし、導電膜、例えばポリシリコン膜25、タングステン膜26を所定の形状に形成する。ここで、ポリシリコン膜25はコンタクトとなり、タングステン膜26は第一配線層となる。

【0015】以上のようにしてトレンチ型DRAMのセルキャパシタ部の基本的構造が形成される。ここで、図2から図5に示した工程を省略して、埋め込みプレート10を形成しない方法も考えられている。この場合、トレンチ型DRAMのセルキャパシタ部の基本的構造は図16に示したようになる。このトレンチキャパシタ27の構造について説明する。導電膜12に正の電圧が加わると、p型シリコン基板1のうち、絶縁膜11を挟んで導電膜12に対抗する位置がn型となる。この図示せぬn型部分がプレート電極となるのである。

【0016】次に、例えばDRAMの周辺回路部で用いられるSTI (Shallow Trench Isolation) を有する従来の半導体装置の平面図を図17に示し、切断線A-A'で切断した断面図を図18に示し、切断線B-B'で切断した断面図を図19に示す。この従来の半導体装置はMOSTランジスタ構造になっていて、半導体基板31上にゲート絶縁膜32を介して形成されたゲート電極33と、このゲート電極33を挟むように形成された



11

拡散領域（ソース・ドレイン領域）34とを備えている。そして、このMOSトランジスタはSTI35によって他の素子と電気的に絶縁される。このSTI35は半導体基板31にトレンチを形成した後、このトレンチを絶縁膜で埋込むことによって形成される。

【0017】

【発明が解決しようとする課題】まず、図1から図16に示したようなDRAMの製造工程における問題点について説明する。図20に埋め込みプレート10を形成し、これをプレート電極として用いる場合（図15参  
照）の拡大図を示す。このトレンチキャパシタは、絶縁  
膜11を導電膜12と埋め込みプレート10によって挟  
むことにより構成される。通常、導電膜12には電源電  
圧 $V_c$ が加わる。そして、埋め込みプレート10には電  
源電圧の $1/2$ 、すなわち $V_c/2$ が加わる。これにより、絶縁膜11に印可される電圧は電源電圧の $1/2$ に  
緩和される利点がある。しかし、埋め込みプレート10  
を形成する工程は複雑であり、その構造を制御すること  
が困難となる問題がある。また、導電膜14に電圧が印  
可されることにより、TEOS膜16に隣接した拡散層  
21と、n型拡散層6とが電気的に接続されてしまう寄  
生トランジスタの発生が問題となる。この寄生トランジ  
スタは、トレンチ5の表面の界面準位密度が高いほど発  
生しやすくなる。そして、トレンチ5の形成時にトレン  
チの表面に生じたエッチングダメージにより界面準位密  
度が高くなることから、この寄生トランジスタの発生が  
助長されるのである。

【0018】図21に埋め込みプレート10を形成する  
工程を省略した場合のトレンチキャパシタの拡大図を示  
す。このトレンチキャパシタでは、導電膜12に正の電  
圧が加わると、p型シリコン基板1のうち、絶縁膜11  
を挟んで導電膜12に対抗する位置がn型となる。この  
図示せぬn型部分がプレート電極となる。この場合、埋  
め込みプレート10を形成するための複雑な工程を回避す  
ることができる利点がある。しかし、絶縁膜11に隣接す  
る領域においてn型拡散層6とシリコン基板1との間で  
の寄生ダイオードリーク電流が発生するのを防止するた  
め、そのn型拡散層6の電位とシリコン基板1の基板電  
位を等しくする必要がある。つまり、n型拡散層6の電  
位を接地電位とすることとなる。そして、通常、導電膜  
12には電源電圧 $V_c$ が加わる。このとき絶縁膜11を  
挟んで導電膜12に対抗する位置に発生する図示せぬプ  
レート電極の電位はn型拡散層6の電位、すなわち、接  
地電位となる。このようにして、トレンチキャパシタの  
キャパシタ絶縁膜である絶縁膜11には、電源電圧がそ  
のまま印可されることとなる。よって、図20のよう  
に、埋め込みプレート10を形成する場合と比べると、  
絶縁膜11に2倍の電圧が印可されるという問題が生じ  
る。また、導電膜14に電圧が印可されることにより、  
TEOS膜16に隣接した拡散層21と、n型拡散層6

12

とが電気的に接続されてしまう寄生トランジスタの発生  
が問題となる。この寄生トランジスタは、トレンチ5の  
表面の界面準位密度が高いほど発生しやすくなる。そし  
て、トレンチ5の形成時にトレンチ表面に生じたエッチ  
ングダメージにより界面準位密度が高くなる。このた  
め、寄生トランジスタの発生が助長されるのである。ま  
た、絶縁膜11に隣接する領域におけるn型拡散層6と  
シリコン基板1との間での寄生ダイオードリーク電流  
も、界面準位密度が高いほど発生しやすくなる。これら  
の問題は、埋め込みプレート10を形成した場合に比べ  
て拡散層21とn型拡散層6との電位差が2倍になって  
いるため、より大きな問題となる。そして、素子の微細  
化に伴って、さらに大きな問題となる。また、導電膜1  
2に正の電圧がかかっていないと、シリコン基板1との  
間で空乏層が発生し、キャパシタ容量の低下が問題とな  
る。

【0019】次に、図17から図19に示したような、  
例えばDRAMの周辺回路部で用いられるSTIを有す  
る従来の半導体装置の製造工程における問題点について  
説明する。

【0020】図17から図19に示したような従来の半  
導体装置においては、STIの製造工程においてSTI  
35を形成するためのトレンチの角部36a、36b  
（図18参照）が尖る。この結果、a) MOSFETの  
ゲート絶縁膜32が薄膜化して耐圧が劣化することおよ  
びb) 上記角部36aで電界が集中することによるMO  
SFETのしきい値が低下してカットオフ特性の劣化が  
生じるという問題がある。

【0021】また、STI35を形成するためのトレン  
チの角部36a、36bが尖っていることにより、絶縁  
材を上記トレンチに埋込んでSTI35を形成する際に  
絶縁材のカバレッジが悪く図18に示すようにシーム4  
0が生じるという問題がある。このシーム40は、MO  
Sトランジスタを形成する場合にゲート配線がシーム4  
0に残り短絡するという問題を引起す。

【0022】本願発明は上記事情を考慮してなされたも  
のであって、素子の特性が劣化するのを可及的に防止し  
た半導体装置及びその製造方法を提供することを目的と  
する。

【0023】

【課題を解決するための手段】本願発明は、一導電型半  
導体基板に形成されたトレンチの表面を水素熱処理する  
ことを特徴とする。また、本願発明は、一導電型半導体  
基板の不純物濃度を通常よりも低くしておくことを特徴  
とする。

【0024】また、本願発明は、トレンチから一導電型  
半導体基板にむけて反対導電型不純物を拡散させること  
を特徴とする。また、本願発明は、水素熱処理により、  
トレンチ付近から一導電型不純物を外方拡散させること  
を特徴とする。

13

【0025】また、本願発明は、一導電型半導体基板の底面から所定の高さまでの一導電型不純物濃度が前記所定の高さから上面までの一導電型不純物濃度よりも高濃度であることを特徴とする。

【0026】また、本願発明は、シリコン基板上に絶縁膜を形成した後、この絶縁膜および前記シリコン基板をエッチングすることによりトレンチを形成する工程と、所定の還元雰囲気中でアニールする工程と、を備えていることを特徴とする。

【0027】また、本願発明は、シリコン基板上に絶縁膜を形成した後、この絶縁膜および前記シリコン基板をエッチングすることによりトレンチを形成する工程と、前記シリコン基板上に残存している前記絶縁膜の側部をエッチングすることにより前記トレンチの上側の角部近傍の前記シリコン基板の表面を露出させる工程と、所定の還元雰囲気中でアニールする工程と、を備えていることを特徴とする。

【0028】また、本願発明は、シリコン基板上に第1の絶縁膜を形成した後、この第1の絶縁膜および前記シリコン基板をエッチングすることによりトレンチを形成する工程と、前記トレンチを埋込むように基板全体の第2の絶縁膜を堆積した後、前記第1の絶縁膜の表面が露出するまで前記第2の絶縁膜をエッチングする工程と、露出している前記第1の絶縁膜を除去する工程と、所定の還元雰囲気中でアニールする工程と、を備えていることを特徴とする。

【0029】また、本願発明は、シリコン基板をエッチングすることによりトレンチを形成する工程と、前記トレンチを埋込むように基板全面に絶縁膜を堆積した後、前記シリコン基板の表面が露出するまで前記絶縁膜をエッチングする工程と、所定の還元雰囲気中でアニールする工程と、を備えていることを特徴とする。さらに、前記還元雰囲気は圧力が大気圧より低く、温度が900℃～1100℃の範囲の温度であって、水素濃度が100%の雰囲気であることが好ましい。

#### 【0030】

【発明の実施の形態】本願発明の第一の実施の形態について図面（図22～図37）を参照して説明する。ここでは、トレンチを有する半導体装置として、DRAMを例として説明する。ここでのトレンチはDRAMにおけるトレンチキャパシタの一部として利用される。

【0031】まず、図22に示したように、半導体基板、例えばp型シリコン基板51の上面に、熱酸化法を用いてシリコン酸化膜52を厚さ8nm程度に形成する。そして、CVD（Chemical Vapor Deposition）法を用いてシリコン酸化膜52の上面にシリコン窒化膜53を厚さ220nm程度に形成する。さらに、CVD法を用いてシリコン窒化膜53の上面にTEOS膜54を厚さ200nm程度に形成する。次に、回転塗布法を用いてTEOS膜54の上面に図示せぬレジストを塗布す

14

る。次に、写真蝕刻法を用いてこのレジストを所定の形状にパターニングする。この所定の形状にパターニングされた図示せぬレジストをマスクとして、異方性エッチング法、例えばRIE法によりTEOS膜54及びシリコン窒化膜53並びにシリコン酸化膜52を所定の形状にエッチングする。これにより、p型シリコン基板51の上面の一部が露出する。さらに、TEOS膜54をマスクとして異方性エッチング法、例えばRIE法を用いてp型シリコン基板51をエッチングする。これにより、トレンチ55が形成される。なお、あらかじめp型シリコン基板51の所定の位置にn型拡散層56を形成しておく。また、このトレンチ55の深さは、例えば7μm程度とする。

【0032】次に、図23に示したように、水素熱処理をする。水素熱処理の条件としては、例えば800℃～1000℃程度で、圧力数Torr～数百Torr、処理時間は数秒から数十分とするが、これに限られるものではない。これにより、図23の拡大図に示したように、トレンチ55の側面のエッチングダメージ78を除去する。そして、エッチングダメージ78を除去することによって、トレンチ55の側壁の形状の凹凸が除去され、界面準位密度を低減させることができる。このようにして、トレンチ55の側面を安定化させると、寄生トランジスタの発生を抑えることが可能となる。また、トレンチキャパシタの耐圧、信頼性等の電気的諸特性の改善を図ることが可能となる。

【0033】次に、図24に示したように、CVD法を用いて全面に、不純物を含む膜、例えばAsSG膜57を厚さ30nm程度に形成する。さらに、回転塗布法を用いて全面にレジスト58を厚さ数千nm程度に形成する。そして、露光現像法やダウンフローエッチング法を用いて、レジスト58をトレンチ55の所定の深さまで除去する。これにより、AsSG膜57の一部が露出する。

【0034】次に、図25に示したように、フッ酸系のウェットエッチング法を用いて、露出しているAsSG膜57を除去する。次に、図26に示したように、アッシング法やウェットエッチング法によりレジスト58を除去する。そして、CVD法を用いて全面にTEOS膜59を形成する。このTEOS膜59により、AsSG膜57は被覆される。

【0035】次に、図27に示したように、熱拡散法を用いて、AsSG膜57に含まれるAsをトレンチ55の側面からp型シリコン基板51に拡散させる。これにより、プレート電極となる埋め込みプレート60が形成される。ここで、TEOS膜59はAsをトレンチ55の側面からp型シリコン基板51に拡散させる際に、Asがトレンチ55内に拡散してトレンチ55の側面のうちAsSG膜57が形成されていない部分からp型シリコン基板51に拡散することを防止するためのものであ

15

る。さらに、ウェットエッチング法を用いてTEOS膜59及びAsSG膜57をそれぞれ除去する。

【0036】次に、図28に示したように、CVD法を用いて、全面に絶縁膜61を厚さ数十nm程度に形成する。ここで、絶縁膜61としては、例えば窒化膜と酸化膜との複合膜であるNO膜が挙げられる。また、絶縁膜61の代わりに誘電体膜を利用しても構わない。さらに、CVD法を用いて、全面に導電膜62を形成する。この導電膜62としては、例えば不純物がドーパされた

ポリシリコン膜が挙げられる。

【0037】次に、図29に示したように、CMP法等の所定の平坦化プロセスや所定のエッチング工程により、導電膜62をトレンチ55内の所定の深さまで除去する。これにより、絶縁膜61の一部が露出される。この際、TEOS膜54は除去されることとなる。

【0038】次に、図30に示したように、例えばリン酸系のウェットエッチング法を用いて、露出した絶縁膜61を除去する。次に、図31に示したように、CVD法を用いて、全面に絶縁膜、例えばTEOS膜63を厚さ35nm程度に形成する。このTEOS膜63は寄生トランジスタの発生を防止するためのものであり、膜厚を十分に取る必要がある。そして、異方性エッチング法、例えばRIE法を用いて絶縁膜63をトレンチ55の側面のみ残す。

【0039】次に、図32に示したように、CVD法を用いて、全面に、例えば砒素をドーパした多結晶シリコン膜からなる導電膜64をトレンチ55が充填されるように厚さ数百nm程度に形成する。そして、CMP法等の平坦化プロセスにより、シリコン窒化膜53の上面まで平坦化する。そして、例えばダウンフローエッチング法を用いて導電膜64を所定の深さまでエッチングする。

【0040】次に、図33に示したように、例えばウェットエッチング法を用いてTEOS膜63を所定の深さまでエッチングする。そして、CVD法を用いて全面に、例えば砒素がドーパされた多結晶シリコン膜からなる導電膜65を厚さ数百nm程度に形成する。そして、CMP法等の所定の平坦化プロセスや所定のエッチング工程により、導電膜65をトレンチ55内の所定の深さまでエッチングする。

【0041】次に、図34に示したように、所定のエッチング工程により、p型シリコン基板51の上部を所定の形状にエッチングする。次に、図35に示したように、CVD法を用いて全面に絶縁膜、例えばTEOS膜66を厚さ数百nm程度に形成する。その後、所定のエッチング工程や、例えばCMP法等の平坦化プロセスを用いて、p型シリコン基板51の上面で平坦化する。これにより、TEOS膜66からなる素子分離領域が形成される。

【0042】次に、図36に示したように、例えば熱酸

16

化法を用いて、全面にシリコン酸化膜67を厚さ8nm程度に形成する。このシリコン酸化膜67はゲート絶縁膜となる。次に、CVD法を用いて、全面にポリシリコン膜68を厚さ100nm程度に形成する。そして、例えばスパッタ法を用いて、ポリシリコン膜68の上面にタングステンシリサイド膜69を厚さ55nm程度に形成する。さらに、例えばCVD法を用いて、タングステンシリサイド膜69の上面にシリコン窒化膜70を厚さ150nm程度に形成する。さらに、シリコン窒化膜70の上面に所定の形状にパターニングされた図示せぬレジストをマスクとして、異方性エッチング法、例えばRIE法を用いてシリコン窒化膜70及びタングステンシリサイド膜69並びにポリシリコン膜68をエッチングする。このシリコン窒化膜70及びタングステンシリサイド膜69並びにポリシリコン膜68がゲート電極となる。

【0043】次に、図37に示したように、所定の拡散層71を形成する。そして、CVD法を用いて全面にシリコン窒化膜72を厚さ30nm程度に形成する。さらに、CVD法を用いて全面に絶縁膜、例えばBPSG膜73を厚さ700nm程度に形成する。このBPSG膜73を平坦化プロセス、例えばCMP法を用いてシリコン窒化膜70の上方、100nm程度まで除去して平坦化する。そして、CVD法を用いて全面に絶縁膜、例えばTEOS膜74を厚さ200nm～400nm程度に形成する。さらに、このTEOS膜74及びBPSG膜73を所定の形状にエッチングし、導電膜、例えばポリシリコン膜75、タングステン膜76を所定の形状に形成する。ここで、ポリシリコン膜75はコンタクトとなり、タングステン膜76は第一配線層となる。

【0044】以上により、トレンチ型DRAMのセルキャパシタ部の基本的構造が形成される。なお、図24から図26に示した工程の代わりに、気相拡散法を用いてn型不純物、例えばAsをp型シリコン基板に拡散させても構わない。

【0045】以上のように、本願発明の第一の実施の形態によると、素子の特性が劣化するのを可及的に防止することが可能となる。そして、トレンチ55の側面のエッチングダメージ78を除去することにより（図23参照）、界面準位密度を低下させ、寄生トランジスタの発生を抑えることが可能となる。また、トレンチキャパシタの耐圧、信頼性等の電気的諸特性の改善を図ることが可能となる。

【0046】次に、本願発明の第二の実施の形態について図面（図38～図49）を参照して説明する。まず、図38に示したように、半導体基板、例えばp型シリコン基板51の上面に、熱酸化法を用いてシリコン酸化膜52を厚さ8nm程度に形成する。そして、CVD（Chemical Vapor Deposition）法を用いてシリコン酸化膜52の上面にシリコン窒化膜53を厚さ220nm程度

に形成する。さらに、CVD法を用いてシリコン窒化膜53の上面にTEOS膜54を厚さ200nm程度に形成する。次に、回転塗布法を用いてTEOS膜54の上面に図示せぬレジストを塗布する。次に、写真蝕刻法を用いてこのレジストを所定の形状にパターニングする。この所定の形状にパターニングされた図示せぬレジストをマスクとして、異方性エッチング法、例えばRIE法によりTEOS膜54及びシリコン窒化膜53並びにシリコン酸化膜52を所定の形状にエッチングする。これにより、p型シリコン基板51の上面の一部が露出する。さらに、TEOS膜54をマスクとして異方性エッチング法、例えばRIE法を用いてp型シリコン基板51をエッチングする。これにより、トレンチ55が形成される。なお、あらかじめp型シリコン基板51の所定の位置にn型拡散層56を形成しておく。また、このトレンチ55の深さは、例えば7μm程度とする。

【0047】次に、図39に示したように、水素熱処理をする。水素熱処理の条件としては、例えば800℃～1000℃程度で、圧力数Torr～数百Torr、処理時間は数秒から数十分とするが、これに限られるものではない。これにより、図39の拡大図に示したように、トレンチ55の側面のエッチングダメージ78を除去する。そして、エッチングダメージ78を除去することによって、トレンチ55の側壁の形状の凹凸が除去され、界面単位密度を低減させることができる。このようにすると、寄生トランジスタの発生及び寄生ダイオードリーク電流を抑えることが可能となる。また、トレンチキャパシタの耐圧、信頼性等の電気的諸特性の改善を図ることが可能となる。

【0048】次に、図40に示したように、CVD法を用いて、全面に絶縁膜61を厚さ数十nm程度に形成する。ここで、絶縁膜61としては、例えば窒化膜と酸化膜との複合膜であるNO膜が挙げられる。また、絶縁膜61の代わりに誘電体膜を利用しても構わない。さらに、CVD法を用いて、全面に導電膜62を形成する。この導電膜62としては、例えば不純物がドーブされたポリシリコン膜が挙げられる。

【0049】次に、図41に示したように、CMP法等の所定の平坦化プロセスや所定のエッチング工程により、導電膜62をトレンチ55内の所定の深さまで除去する。これにより、絶縁膜61の一部が露出される。この際、TEOS膜54は除去されることとなる。

【0050】次に、図42に示したように、例えばリン酸系のウェットエッチング法を用いて、露出した絶縁膜61を除去する。次に、図43に示したように、CVD法を用いて、全面に絶縁膜、例えばTEOS膜63を厚さ35nm程度に形成する。このTEOS膜63は寄生トランジスタの発生を防止するためのものであり、膜厚を十分に取る必要がある。そして、異方性エッチング法、例えばRIE法を用いて絶縁膜63をトレンチ55

の側面にのみ残す。

【0051】次に、図44に示したように、CVD法を用いて、全面に、例えば砒素をドーブした多結晶シリコン膜からなる導電膜64をトレンチ55が充填されるように厚さ数百nm程度に形成する。そして、CMP法等の平坦化プロセスにより、シリコン窒化膜53の上面まで平坦化する。そして、例えばダウンフローエッチング法を用いて導電膜64を所定の深さまでエッチングする。

【0052】次に、図45に示したように、例えばウェットエッチング法を用いてTEOS膜63を所定の深さまでエッチングする。そして、CVD法を用いて全面に、例えば砒素がドーブされた多結晶シリコン膜からなる導電膜65を厚さ数百nm程度に形成する。そして、CMP法等の所定の平坦化プロセスや所定のエッチング工程により、導電膜65をトレンチ55内の所定の深さまでエッチングする。

【0053】次に、図46に示したように、所定のエッチング工程により、p型シリコン基板51の上部を所定の形状にエッチングする。次に、図47に示したように、CVD法を用いて全面に絶縁膜、例えばTEOS膜66を厚さ数百nm程度に形成する。その後、所定のエッチング工程や、例えばCMP法等の平坦化プロセスを用いて、p型シリコン基板51の上面で平坦化する。これにより、TEOS膜66からなる素子分離領域が形成される。

【0054】次に、図48に示したように、例えば熱酸化法を用いて、全面にシリコン酸化膜67を厚さ8nm程度に形成する。このシリコン酸化膜67はゲート絶縁膜となる。次に、CVD法を用いて、全面にポリシリコン膜68を厚さ100nm程度に形成する。そして、例えばスパッタ法を用いて、ポリシリコン膜68の上面にタングステンシリサイド膜69を厚さ55nm程度に形成する。さらに、例えばCVD法を用いて、タングステンシリサイド膜69の上面にシリコン窒化膜70を厚さ150nm程度に形成する。さらに、シリコン窒化膜70の上面に所定の形状にパターニングされた図示せぬレジストをマスクとして、異方性エッチング法、例えばRIE法を用いてシリコン窒化膜70及びタングステンシリサイド膜69並びにポリシリコン膜68をエッチングする。このシリコン窒化膜70及びタングステンシリサイド膜69並びにポリシリコン膜68がゲート電極となる。

【0055】次に、図49に示したように、所定の拡散層71を形成する。そして、CVD法を用いて全面にシリコン窒化膜72を厚さ30nm程度に形成する。さらに、CVD法を用いて全面に絶縁膜、例えばBP SG膜73を厚さ700nm程度に形成する。このBP SG膜73を平坦化プロセス、例えばCMP法を用いてシリコン窒化膜70の上方、100nm程度まで除去して平坦

化する。そして、CVD法を用いて全面に絶縁膜、例えばTEOS膜74を厚さ200nm~400nm程度に形成する。さらに、このTEOS膜74及びBPSG膜73を所定の形状にエッチングし、導電膜、例えばポリシリコン膜75、タングステン膜76を所定の形状に形成する。ここで、ポリシリコン膜75はコンタクトとなり、タングステン膜76は第一配線層となる。

【0056】以上のようにしてトレンチ型DRAMのセルキャパシタ部の基本的構造が形成される。このトレンチキャパシタ77の構造について説明する。導電膜62に正の電圧が加わると、p型シリコン基板51のうち、絶縁膜61を挟んで導電膜62に対抗する位置がn型となる。この図示せぬn型部分がプレート電極となるのである。このキャパシタ部以外については、本願発明の第一の実施の形態と同様である。

【0057】以上のように、本願発明の第二の実施の形態によると、素子の特性が劣化するのを可及的に防止することが可能となる。さらに、埋め込みプレートを形成しないため、埋め込みプレートを形成する複雑な工程やその構造を制御する困難性を回避することが可能となる。また、トレンチ55の側面のエッチングダメージ78を除去することにより（図39参照）、界面準位密度を低減することができ、寄生トランジスタの発生を抑えることが可能となる。また、トレンチキャパシタの耐圧、信頼性等の電氣的諸特性の改善を図ることが可能となる。さらに、絶縁膜61に隣接する領域において発生する、n型拡散層56とp型シリコン基板51との間の寄生ダイオードリーク電流を減少させることが可能となる。このため、n型拡散層56の電位を電源電圧Vcの1/2であるVc/2にしておくことが可能となる。これにより、絶縁膜61に印可される電圧を電源電圧の1/2に緩和することが可能となる。それと同時に、キャパシタ絶縁膜の薄膜化が可能となり、素子の微細化に有利となる。また、導電膜64に加わる電圧も電源電圧の1/2となるため、寄生トランジスタの発生をさらに抑えることが可能となる。

【0058】次に、本願発明の第三の実施の形態について図面（図38~図49）を参照して説明する。本願発明の第三の実施の形態は、第二の実施の形態において、p型シリコン基板51の基板濃度を通常よりも薄くしたものである。通常の不純物濃度は $1 \times 10^{15}$  (atoms/cm<sup>3</sup>) から $1 \times 10^{16}$  (atoms/cm<sup>3</sup>) 程度である。これに対して、例えば、不純物濃度を $1 \times 10^{14}$  (atoms/cm<sup>3</sup>) から $1 \times 10^{15}$  (atoms/cm<sup>3</sup>) 程度にしたものである。図49に示したように、この第三の実施の形態においても、導電膜62に正の電圧が加わると、p型シリコン基板51のうち、絶縁膜61を挟んで導電膜62に対抗する位置がn型となる。この図示せぬn型部分がプレート電極となるのであるが、この第三の実施の形態のようにp型シリコン基板

51の基板濃度を薄くしておく、プレート電極が形成される強反転しきい値を下げる効果を得ることができる。これにより、絶縁膜61とp型シリコン基板51との間で空乏層が発生してキャパシタ容量が低下するのを抑制することが可能となる。

【0059】なお、図39に既に示した水素熱処理の工程を省略することも可能である。以上のように、本願発明の第三の実施の形態によると、素子の特性が劣化するのを可及的に防止することが可能となる。さらに、埋め込みプレートを形成しないため、埋め込みプレートを形成する複雑な工程やその構造を制御する困難性を回避することが可能となる。また、トレンチ55の側面のエッチングダメージ78を除去することにより（図39参照）、界面準位電位を低減させることができ、寄生トランジスタの発生を抑えることが可能となる。また、トレンチキャパシタの耐圧、信頼性等の電氣的諸特性の改善を図ることが可能となる。さらに、絶縁膜11に隣接する領域において発生する、n型拡散層56とp型シリコン基板51との間の寄生ダイオードリーク電流を減少させることが可能となる。このため、n型拡散層56の電位を電源電圧Vcの1/2であるVc/2にしておくことが可能となる。これにより、絶縁膜61に印可される電圧を電源電圧の1/2に緩和することが可能となる。それと同時に、キャパシタ絶縁膜の薄膜化が可能となり、素子の微細化に有利となる。また、導電膜64に加わる電圧も電源電圧の1/2となるため、寄生トランジスタの発生をさらに抑えることが可能となる。さらに、絶縁膜61とp型シリコン基板51との間で空乏層が発生してキャパシタ容量が低下するのを抑制することが可能となる。

【0060】次に、本願発明の第四の実施の形態について図面（図38~図49）を参照して説明する。本願発明の第四の実施の形態は、第二の実施の形態において図39に既に示した工程と、図40に既に示した工程との間で、トレンチ55の表面からp型シリコン基板51に向けて薄いn型不純物を拡散させるものである。n型不純物を拡散させる方法としては、例えば気相拡散法が挙げられる。n型不純物としては、例えばP（リン）やAs（砒素）が考えられる。また、p型シリコン基板51の基板濃度が $1 \times 10^{15}$  (atoms/cm<sup>3</sup>) から $1 \times 10^{16}$  (atoms/cm<sup>3</sup>) 程度である場合には、このn型不純物の濃度は、 $1 \times 10^{16}$  (atoms/cm<sup>3</sup>) から $1 \times 10^{17}$  (atoms/cm<sup>3</sup>) 程度とする。ここで、後の工程で形成される図示せぬp型ウェル領域の濃度は通常、 $1 \times 10^{17}$  (atoms/cm<sup>3</sup>) 以上であり、n型不純物の濃度よりも十分高い。このため、n型不純物を拡散しても、p型ウェル領域の電氣的特性に影響を与えることはない。

【0061】なお、固相拡散法をもちいてn型不純物を拡散させる場合には、例えばCVD法を用いてトレンチ

21

55の表面にn型不純物を含んだ膜を形成し、熱処理によりn型不純物をp型シリコン基板51に拡散させる。この後、例えばウェットエッチング法を用いてn型不純物を含んだ膜を除去する。このような工程により、n型不純物を拡散させることとなる。

【0062】ここで、この第四の実施の形態においても、図49に示したように、導電膜62に正の電圧が加わると、p型シリコン基板51のうち、絶縁膜61を挟んで導電膜62に対抗する位置がn型となる。この図示せぬn型部分がプレート電極となるのであるが、この第四の実施の形態のようにトレンチ55の表面からp型シリコン基板51に向けて薄いn型不純物を拡散させておくと、トレンチ55付近のシリコン基板は薄いn型となっている。これにより、プレート電極が形成される強反転しきい値を下げる効果を得ることができる。これにより、絶縁膜61とp型シリコン基板51との間で空乏層が発生してキャパシタ容量が低下するのを抑制することが可能となる。

【0063】なお、図39に既に示した水素熱処理の工程を省略することも可能である。以上のように、本願発明の第四の実施の形態によると、素子の特性が劣化するのを可及的に防止することが可能となる。さらに、埋め込みプレートを形成しないため、埋め込みプレートを形成する複雑な工程やその構造を制御する困難性を回避することが可能となる。また、トレンチ55の側面のエッチングダメージ78を除去することにより（図39参照）、界面準位密度を低減させることができ、寄生トランジスタの発生を抑えることが可能となる。また、トレンチキャパシタの耐圧、信頼性等の電気的諸特性の改善を図ることが可能となる。さらに、絶縁膜11に隣接する領域において発生する、n型拡散層56とp型シリコン基板51との間の寄生ダイオードリーク電流を減少させることが可能となる。このため、n型拡散層56の電位を電源電圧Vcの1/2であるVc/2にしておくことが可能となる。これにより、絶縁膜61に印可される電圧を電源電圧の1/2に緩和することが可能となる。それと同時に、キャパシタ絶縁膜の薄膜化が可能となり、素子の微細化に有利となる。また、導電膜64に加わる電圧も電源電圧の1/2となるため、寄生トランジスタの発生をさらに抑えることが可能となる。さらに、絶縁膜61とp型シリコン基板51との間で空乏層が発生してキャパシタ容量が低下するのを抑制することが可能となる。

【0064】次に、本願発明の第五の実施の形態について図面（図38～図49）を参照して説明する。本願発明の第五の実施の形態は、第二の実施の形態において図39に既に示した工程と図40に既に示した工程との間で、トレンチ55の表面からp型不純物が外方拡散する程度の水素熱処理をする工程を行うものである。この水素熱処理の条件としては、例えば800℃～1000℃

22

程度で、圧力は数Torr～数百Torr、処理時間は数秒から数十分とするが、これに限られるものではない。

【0065】ここで、この第五の実施の形態においても、図49に示したように、導電膜62に正の電圧が加わると、p型シリコン基板51のうち、絶縁膜61を挟んで導電膜62に対抗する位置がn型となる。この図示せぬn型部分がプレート電極となるのであるが、この第五の実施の形態のように高温熱処理をすることによりトレンチ55の表面からp型不純物を外方拡散させておくと、トレンチ55の付近では、p型不純物の濃度が低下する。これにより、プレート電極が形成される強反転しきい値を下げる効果を得ることができる。これにより、絶縁膜61とp型シリコン基板51との間で空乏層が発生してキャパシタ容量が低下するのを抑制することが可能となる。また、トレンチ55付近のp型不純物が外方拡散した分、p型シリコン基板51のトレンチ55付近におけるp型不純物の濃度が低くなり、その分だけ、トレンチ55付近以外の部分のp型不純物の濃度が高くなる。そのため、p型シリコン基板51のトレンチ55付近以外の部分は低抵抗となる。そして、第三の実施の形態では、p型シリコン基板51のp型不純物濃度を低くしたのに対し、本実施の形態では、p型シリコン基板51のp型不純物濃度を高く保持することが可能となる。これにより、寄生サイリスタがONすることを防止することができるラッチアップ抑制効果を得ることが可能となる。

【0066】以上のように、本願発明の第五の実施の形態によると、素子の特性が劣化するのを可及的に防止することが可能となる。さらに、埋め込みプレートを形成しないため、埋め込みプレートを形成する複雑な工程やその構造を制御する困難性を回避することが可能となる。また、トレンチ55の側面のエッチングダメージ78を除去することにより（図39参照）、界面準位密度を低減させることができ、寄生トランジスタの発生を抑えることが可能となる。また、トレンチキャパシタの耐圧、信頼性等の電気的諸特性の改善を図ることが可能となる。さらに、絶縁膜11に隣接する領域において発生する、n型拡散層56とp型シリコン基板51との間の寄生ダイオードリーク電流を減少させることが可能となる。このため、n型拡散層56の電位を電源電圧Vcの1/2であるVc/2にしておくことが可能となる。これにより、絶縁膜61に印可される電圧を電源電圧の1/2に緩和することが可能となる。それと同時に、キャパシタ絶縁膜の薄膜化が可能となり、素子の微細化に有利となる。また、導電膜64に加わる電圧も電源電圧の1/2となるため、寄生トランジスタの発生をさらに抑えることが可能となる。さらに、絶縁膜61とp型シリコン基板51との間で空乏層が発生してキャパシタ容量が低下するのを抑制することが可能となる。また、寄生

23

サイリスタがONすることを防止することができるラッチアップ抑制効果を得ることも可能となる。

【0067】次に、本願発明の第六の実施の形態について図面(図38～図49)を参酌して説明する。本願発明の第六の実施の形態は、上記の第一の実施の形態乃至第五の実施の形態において、p型不純物の濃度が通常よりも高いシリコン上にさらに通常の濃度のp型シリコンを形成したシリコン基板を用いるものである。

【0068】これにはまず、p型不純物の濃度が通常よりも高い、例えば不純物濃度が $1 \times 10^{18}$  (atoms/cm<sup>3</sup>) ～  $1 \times 10^{19}$  (atoms/cm<sup>3</sup>) 程度のp型シリコン膜を形成する。次に、エピタキシャル法(気相成長法)を用いて、不純物濃度が通常の濃度、例えば $1 \times 10^{15}$  (atoms/cm<sup>3</sup>) ～  $1 \times 10^{16}$  (atoms/cm<sup>3</sup>) 程度であるp型シリコン膜を、例えば厚さ1μm程度に形成する。このような方法により、p型シリコン基板を形成する。そして、このp型シリコン基板を用いて第一の実施の形態乃至第五の実施の形態と同様の工程によりDRAMのメモセル部の基本的構造を形成する。

【0069】このようなp型シリコン基板を用いると、p型シリコン基板51の下層におけるp型不純物の濃度が高くなっている。そのため、p型シリコン基板51の下層部分は低抵抗となる。これにより、寄生サイリスタがONすることを防止することができるラッチアップ抑制効果を得ることが可能となる。

【0070】以上のように、本願発明の第六の実施の形態によると、第一の実施の形態乃至第五の実施の形態のそれぞれの実施の形態における効果を得ることができる。さらに、寄生サイリスタがONすることを防止することができるラッチアップ抑制効果を得ることも可能となる。

【0071】次に、本願発明による半導体装置の製造方法の第七の実施の形態を図50乃至図55を参照して説明する。この実施の形態はMOSFETの製造方法であって、まず図50(a)に示すようにp型シリコン基板101の表面を熱酸化することによりp型シリコン基板101上に熱酸化膜103を形成した後、CVD法を用いてこの熱酸化膜103上にシリコン窒化膜105を堆積する。

【0072】次に図50(b)に示すように、シリコン窒化膜105上にフォトレジストパターン107を形成し、このフォトレジストパターン107をマスクにしてシリコン窒化膜105、熱酸化膜103、およびp型シリコン基板101を異方性エッチング、例えばRIE(Reactive Ion-Etching)を用いてパターンニングすることにより浅いトレンチ(Shallow Trench)109を形成する。

【0073】このトレンチ109を形成するには、上記方法に限られず、図示していないが、例えば以下の方法

24

が考えられる。それにはまず、シリコン基板101上に絶縁膜及びマスク材を形成する。そして、フォトレジストパターンで絶縁膜及びマスク材を所定の形状にパターンニングする。その後、所定の形状にパターンニングされたマスク材をマスクとして異方性エッチング法、例えばRIE法を用いてシリコン基板101をエッチングする。これにより、トレンチ109が形成される。このとき、絶縁膜としてはシリコン窒化膜やシリコン酸化膜が考えられる。また、シリコン基板101と絶縁膜との間に薄い熱酸化膜を形成することも考えられる。

【0074】次に図51(a)に示すようにフォトレジストパターン107を除去した後、HF/グリセリン溶液を用いて熱酸化膜3およびシリコン窒化膜105の側面をそれらの中心方向に後退させる(図51(b)参照)。これによりトレンチ109の上側の角部112の近傍の基板表面を露出させる(図51(b)参照)。

【0075】次に圧力が100 Torr、温度が1000℃、水素濃度が100%の還元雰囲気中で、アニールを行うことにより、p型シリコン基板101の表面にマイグレーションを生じさせ、図52(a)に示すように、トレンチ109の上側の角部112および下側の角部111を丸める。

【0076】次に図52(b)に示すように、露出しているトレンチ109の表面を酸化して酸化膜113を形成した後、CVD(Chemical Vapor Deposition)法を用いてSiO<sub>2</sub>膜115を基板全面に堆積し、トレンチ109を埋込む。このとき、トレンチ109の下側の角111が丸まっていることにより、トレンチ109の見かけのアスペクト比(深さ対幅の比)が下がり、埋込み性が良くなる。これによりシーム40の発生を抑制することができる。

【0077】次に図53(a)に示すように、CMP(Chemical Mechanical Polishing)法を用いてSiO<sub>2</sub>膜115を、シリコン窒化膜105の表面が露出するまで研磨する。続いて、熱いH<sub>3</sub>PO<sub>4</sub>溶液を用いて図53(b)に示すようにシリコン窒化膜105を除去する。

【0078】次に希HF溶液を用いて図54(a)に示すように熱酸化膜103を除去する。続いて露出したシリコン基板表面に、例えば膜厚が1000Åの酸化膜117を形成した後、MOSFETを形成するためのイオン注入を行う(図54(b)参照)。

【0079】次に図55(a)に示すように酸化膜117を除去した後、例えば900℃、HCl雰囲気中に置くことによりp型シリコン基板101の素子形成領域上にゲート酸化膜123を形成する(図55(b)参照)。続いて基板全面にゲート電極材料の膜を堆積し、この膜をパターンニングすることによりゲート電極127を形成する(図55(b)参照)。そしてこのゲート電極125をマスクにして素子形成領域にイオン注入することに

25

より、ソース・ドレイン領域（図示せず）を形成し、MOSトランジスタを完成する。

【0080】ここで、図56に図52(a)に既に示した工程を図示する。この工程は、所定の条件でアニールを行うことにより、p型シリコン基板101の表面にマイグレーションを生じさせ、トレンチ109の上側の角部112及び下側の角部111を丸めるものである。このときのトレンチ109の上側の角部112の丸め曲率は図57(a)に示したような、シリコン窒化膜105及び熱酸化膜103の後退量130によって制御することが可能となる。ここで、図57(a)及び図58

(a)にそれぞれ後退量130が異なる場合を示した。図57(a)に示したもののほうが図58(a)に示したもののよりも、後退量130が大きい。これらのそれぞれに対してアニールを行うと、図57(b)及び図58

(b)にそれぞれ示した状態となる。つまり、図57(b)に示したように、後退量130が大きくと丸め曲率131が大きくなる。一方で、図58(b)に示したように、後退量130が小さいと、丸め曲率133が小さくなる。ここで、アニールを行うことによりトレンチ109の角部112及び角部111が丸くなるのは、シリコン基板101の表面エネルギーが安定な状態に移行することにより生じるものである。つまり、表面張力や結晶表面が揃おうとする力によって起こるものであり、シリコン基板101の結晶方位が(100)である場合、トレンチ109の角部112及び角部111の結晶方位が(111)になろうとすることにより生じる現象である。そして、トレンチ109の上側の角部112においては、角部112が丸まろうとするときに熱酸化膜103の端部でシリコン基板101の表面が固定されてしま

う。この結果、熱酸化膜103及びシリコン窒化膜105をどこまで後退させるかによって角部112の丸め曲率を制御することが可能となるのである。

【0081】以上説明したように、本実施の形態の製造方法によれば、トレンチ109の上側の角部112が丸まっていることにより、電界集中が緩和され、MOSFETのしきい値の低下およびカットオフ特性の劣化を防止することができる。

【0082】また本実施の形態においては、ゲート酸化膜123を形成する前の素子形成領域の角部112が丸

まっていること、また素子形成領域の露出している表面の結晶方位が(111)であることにより、角部112でのゲート酸化膜123の薄膜化が抑えられ、耐圧の劣化を抑制することができる。

【0083】次に本願発明による半導体装置の製造方法の第八の実施の形態を図59乃至図62を参照して説明する。この第八の実施の形態の製造方法は、MOSFETの製造方法であって、トレンチ109を形成するまでは、図50(a)、(b)に示す第七の実施の形態の製造方法と同様に行う。続いてフォトリソスタパター

26

ン107（図50(b)参照）を除去した後、圧力が100 Torr、温度が1000℃、水素濃度が100%の還元雰囲気中でアニールを行うことにより、トレンチ109の下側の角部111を丸める（図59(a)参照）。

【0084】次に図59(b)に示すように、露出しているトレンチ109の表面を酸化して酸化膜113を形成した後、CVD法を用いてSiO<sub>2</sub>膜115を基板全面に堆積し、トレンチ109を埋込む。このとき、トレンチ109の下側の角111が丸まっていることにより、トレンチ109の見かけのアスペクト比（深さ対幅の比）が下がり、埋込み性が良くなる。これによりシーム40の発生を抑制することができる。

【0085】次に図60(a)に示すようにCMP（Chemical Mechanical Polishing）法を用いてSiO<sub>2</sub>膜115を、シリコン窒化膜105の表面が露出するまで研磨する。続いて、熱いH<sub>3</sub>PO<sub>4</sub>溶液を用いて図60(b)に示すようにシリコン窒化膜105を除去する。

【0086】次に希HF溶液を用いて図61(a)に示すように熱酸化膜103を除去する。続いて露出したシリコン基板表面に、例えば膜厚が100オングストロームの酸化膜117を形成した後、MOSFETを形成するためにイオン注入を行う（図61(b)参照）。

【0087】次に図62(a)に示すように酸化膜117を除去した後、例えば900℃、HCl雰囲気中に置くことによりp型シリコン基板101の素子形成領域上にゲート酸化膜123を形成する（図62(b)参照）。続いて基板全面にゲート電極材料の膜を堆積し、この膜をパターニングすることによりゲート電極127を形成する（図62(b)参照）。そしてこのゲート電極125をマスクにして素子形成領域にイオン注入することにより、ソース・ドレイン領域（図示せず）を形成し、MOSトランジスタを完成させる。

【0088】以上説明したように、本実施の形態の製造方法によれば、トレンチ109の下側の角部111が丸まっていることにより、トレンチ109の見かけのアスペクト比が下がり、埋込み性が良くなり、シーム40の発生を抑制することができる。

【0089】次に本願発明による半導体装置の製造方法の第九の実施の形態を図63乃至図67を参照して説明する。この第九の実施の形態はMOSFETの製造方法であって、トレンチ109を形成するまでは図50

(a)、(b)に示す第七の実施の形態の製造工程と同様に行う。続いて、フォトリソスタパターン107（図50(b)参照）を除去した後、図63(b)に示すように、露出しているトレンチ109の表面を酸化して酸化膜113を形成した後、CVD（Chemical Vapor Deposition）法を用いてSiO<sub>2</sub>膜115を基板全面に堆積し、トレンチ109を埋込む。

【0090】次に図64(a)に示すよう、CMP（Ch



27

emical Mechanical Polishing) 法を用いて  $\text{SiO}_2$  膜 115 を、シリコン窒化膜 105 の表面が露出するまで研磨する。続いて、熱い  $\text{H}_3\text{PO}_4$  溶液を用いて図 64 (b) に示すようにシリコン窒化膜 105 を除去する。

【0091】次に希  $\text{HF}$  溶液を用いて図 65 (a) に示すように熱酸化膜 103 を除去する。次に圧力が 100 Torr、温度が 1000℃、水素濃度が 100% の還元雰囲気中で、アニールを行うことにより、p 型シリコン基板 101 の表面にマイグレーションを生じさせ、図 65 (b) に示すように、トレンチ 109 に上側の角部 112 を丸める。

【0092】次に露出したシリコン基板表面に、例えば膜厚が 100 オングストロームの酸化膜 117 の形成した後、MOSFET を形成するためのイオン注入を行う (図 66 (a) 参照)。

【0093】次に図 66 (a) に示すように酸化膜 117 を除去した後、例えば 900℃、 $\text{HCl}$  雰囲気中に置くことにより p 型シリコン基板 101 の素子形成領域上にゲート酸化膜 123 を形成する (図 67 参照)。続いて基板全面にゲート電極材料の膜を堆積し、この膜パターニングすることによりゲート電極 127 を形成する (図 67 参照)。そしてこのゲート電極 125 をマスクにして素子形成領域にイオン注入することにより、ソース・ドレイン領域 (図示せず) を形成し、MOS トランジスタを完成する。

【0094】以上説明したように、本実施の形態の製造方法によれば、トレンチ 109 の上側の角部 112 が丸まっていることにより、電界集中が緩和され、MOSFET のしきい値に低下およびカットオフ特性の劣化を防止することができる。

【0095】また本実施の形態においては、ゲート酸化膜 123 を形成する前の素子形成領域の角部 112 が丸まっていること、また素子形成領域の露出している表面の結晶方位が (111) であることにより、角部 112 でのゲート酸化膜 123 の薄膜化が抑えられ、耐圧の劣化を抑制することができる。

【0096】なお、上記第七乃至第九の実施の形態においては、トレンチ 109 の角部を丸めるための還元雰囲気条件は圧力が 100 Torr、温度が 1000℃、水素濃度が 100% であったが、圧力は大気圧よりも低くければ同様に角部を丸めることができる。また温度も 900℃～1100℃の範囲にあれば同様の効果を得ることができる。このとき、トレンチ表面に形成されている厚さ数 nm 程度の自然酸化膜は除去されていることが望ましい。

【0097】また上記第七乃至第九の実施の形態においては STI115 は MOSFET の素子分離絶縁膜として用いたが、本願発明はこれに限られるものではなく、バイポーラトランジスタの STI や、一般の半導体装置の STI に用いることができることは言うまでもない。

28

【0098】なお、第九の実施の形態は、トレンチ 109 の上部の角部を丸める場合の製造方法であったが、トレンチの上部の角部を丸める場合は次のように行っても良い。

【0099】シリコン基板上に第 1 の絶縁膜を形成した後、この第 1 の絶縁膜および上記シリコン基板をエッチングすることによりシリコン基板にトレンチを形成する。続いてこのトレンチを埋込むように基板全面に第 2 の絶縁膜を堆積する。そしてシリコン基板が露出するまで第 2 の絶縁膜をエッチングする。このとき第 2 の絶縁膜のエッチングに伴って第 1 の絶縁膜は除去される。その後、所定の還元雰囲気中でアニールすることにより、トレンチの上部の角部は丸められる。なお、上述の方法で第 1 の絶縁膜をシリコン基板に形成しないで行っても良い。

【0100】

【発明の効果】以上述べたように本願発明によれば、素子の特性が劣化するのを可及的に防止することができる。

【図面の簡単な説明】

【図 1】従来の技術による半導体装置の製造工程断面図。

【図 2】従来の技術による半導体装置の製造工程断面図。

【図 3】従来の技術による半導体装置の製造工程断面図。

【図 4】従来の技術による半導体装置の製造工程断面図。

【図 5】従来の技術による半導体装置の製造工程断面図。

【図 6】従来の技術による半導体装置の製造工程断面図。

【図 7】従来の技術による半導体装置の製造工程断面図。

【図 8】従来の技術による半導体装置の製造工程断面図。

【図 9】従来の技術による半導体装置の製造工程断面図。

【図 10】従来の技術による半導体装置の製造工程断面図。

【図 11】従来の技術による半導体装置の製造工程断面図。

【図 12】従来の技術による半導体装置の製造工程断面図。

【図 13】従来の技術による半導体装置の製造工程断面図。

【図 14】従来の技術による半導体装置の製造工程断面図。

【図 15】従来の技術による半導体装置の製造工程断面図。

【図４１】本願発明の第二の実施の形態にかかる半導体装置の製造工程断面図。

【図 6 6】本願発明の第九の実施の形態にかかる半導体装置の製造工程断面図。

31

【図67】本願発明の第九の実施の形態にかかる半導体装置の製造工程断面図。

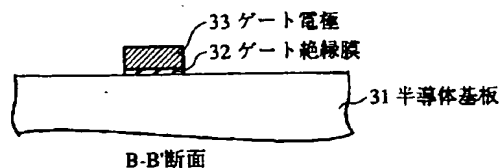
【符号の説明】

1・・・p型シリコン基板  
2・・・シリコン酸化膜  
3・・・シリコン窒化膜  
4・・・TEOS膜  
5・・・トレンチ  
6・・・n型拡散層  
7・・・AsSG膜  
8・・・レジスト  
9・・・TEOS膜  
10・・・埋め込みプレート  
11・・・絶縁膜  
12・・・導電膜  
13・・・TEOS膜  
14・・・導電膜  
15・・・導電膜  
16・・・TEOS膜  
17・・・シリコン酸化膜  
18・・・ポリシリコン膜  
19・・・タングステンシリサイド膜  
20・・・シリコン窒化膜  
21・・・拡散層  
22・・・シリコン窒化膜  
23・・・BPSG膜  
24・・・TEOS膜  
25・・・ポリシリコン膜  
26・・・タングステン膜  
27・・・トレンチキャパシタ  
31・・・半導体基板  
32・・・ゲート絶縁膜  
33・・・ゲート電極  
34・・・拡散領域  
35・・・STI  
36a・・・角部  
36b・・・角部  
40・・・シーム  
51・・・p型シリコン基板  
52・・・シリコン酸化膜  
53・・・シリコン窒化膜

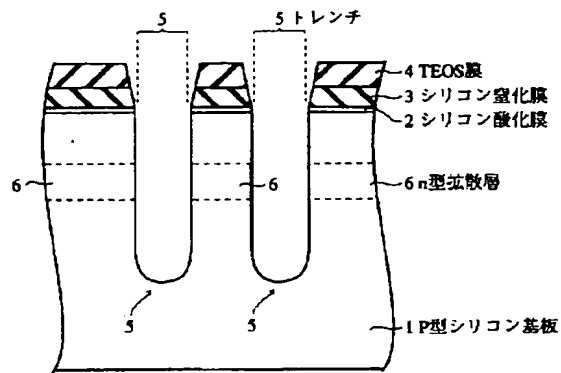
32

\* 54・・・TEOS膜  
55・・・トレンチ  
56・・・n型拡散層  
57・・・AsSG膜  
58・・・レジスト  
59・・・TEOS膜  
60・・・埋め込みプレート  
61・・・絶縁膜  
62・・・導電膜  
10 63・・・TEOS膜  
64・・・導電膜  
65・・・導電膜  
66・・・TEOS膜  
67・・・シリコン酸化膜  
68・・・ポリシリコン膜  
69・・・タングステンシリサイド膜  
70・・・シリコン窒化膜  
71・・・拡散層(n型)  
72・・・シリコン窒化膜  
20 73・・・BPSG膜  
74・・・TEOS膜  
75・・・ポリシリコン膜  
76・・・タングステン膜  
77・・・トレンチキャパシタ  
78・・・エッチングダメージ  
101・・・シリコン基板  
103・・・熱酸化膜  
105・・・シリコン窒化膜  
107・・・フォトリジストパターン  
30 109・・・トレンチ  
111・・・角部  
112・・・角部  
113・・・酸化膜  
115・・・STI  
123・・・ゲート酸化膜  
125・・・ゲート電極  
130・・・後退量  
131・・・丸め曲率  
132・・・丸め曲率  
40 133・・・丸め曲率  
\*

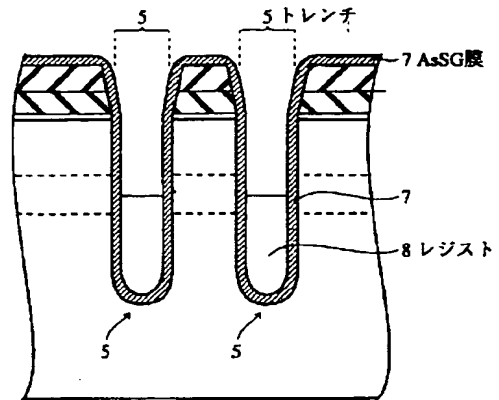
【図19】



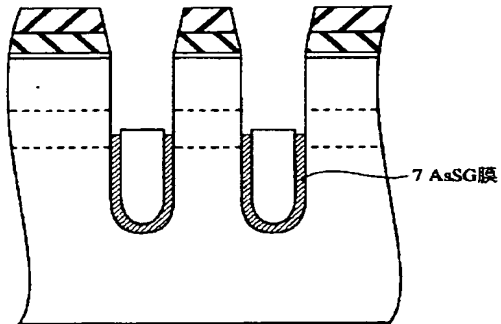
【図1】



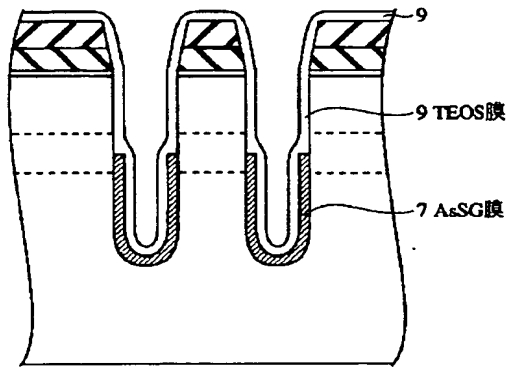
【図2】



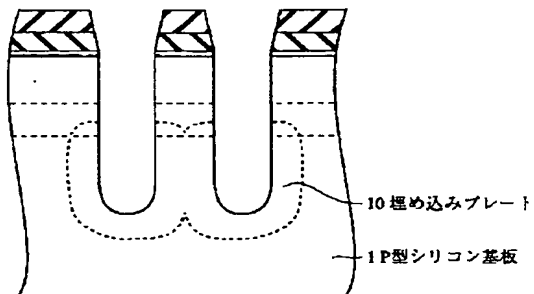
【図3】



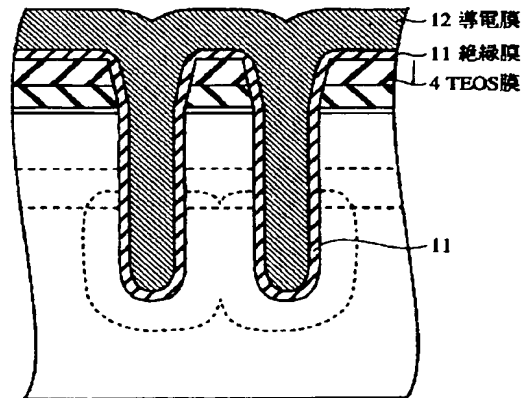
【図4】



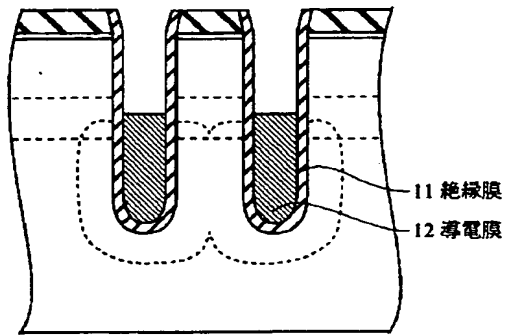
【図5】



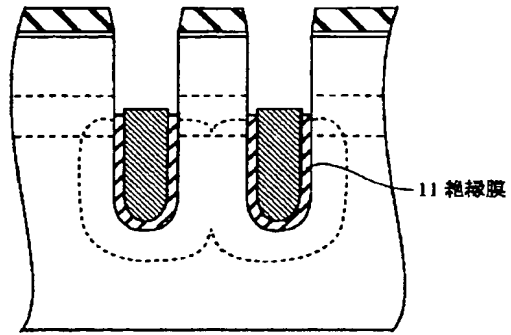
【図6】



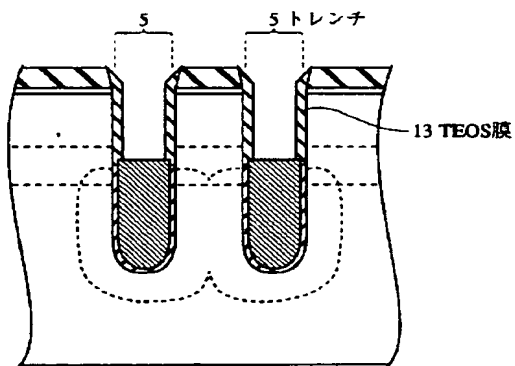
【図 7】



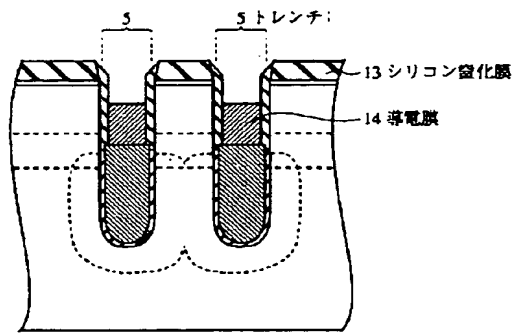
【図 8】



【図 9】

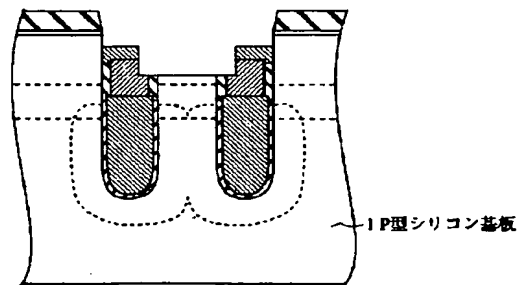
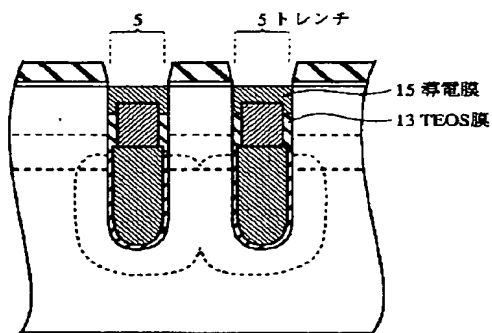


【図 10】

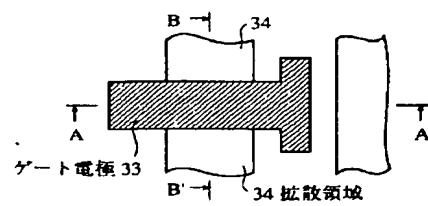


【図 12】

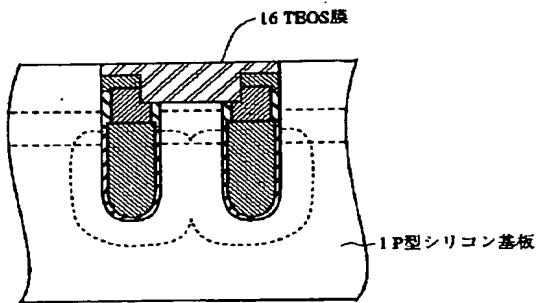
【図 11】



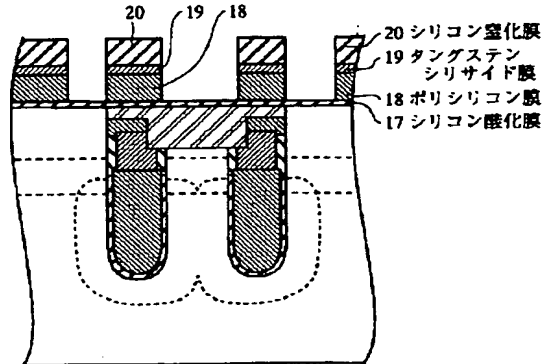
【図 17】



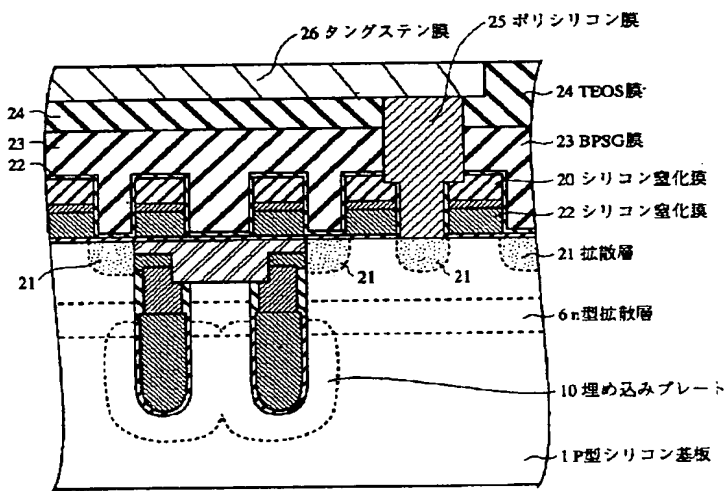
【図13】



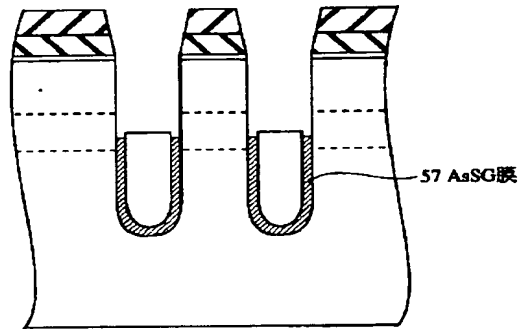
【図14】



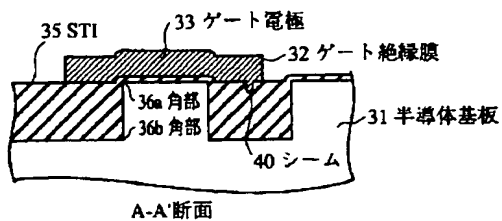
【図15】



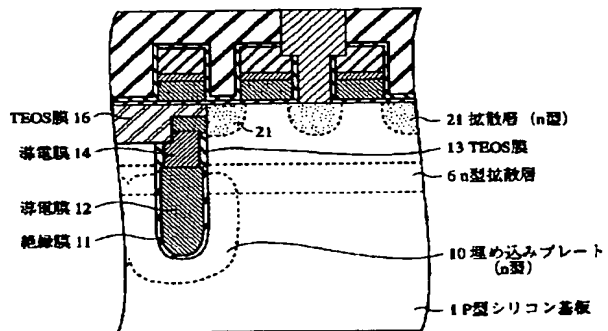
【図25】



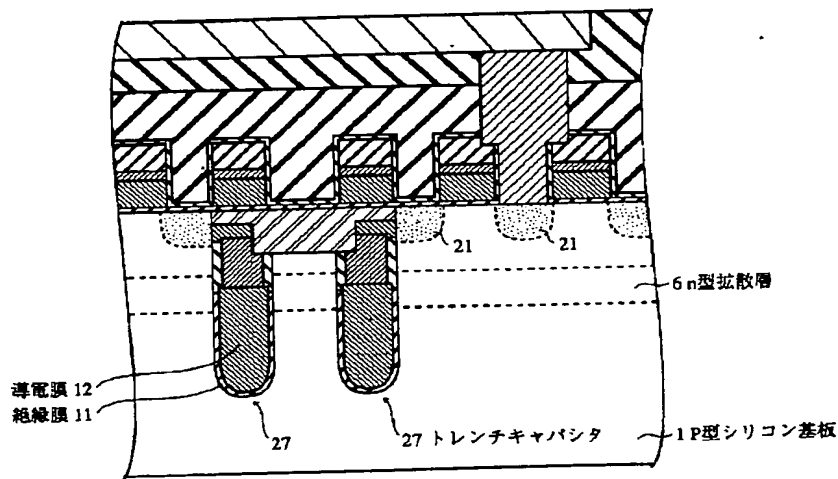
【図18】



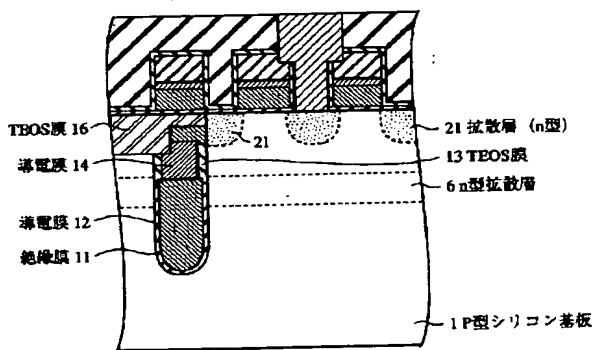
【図20】



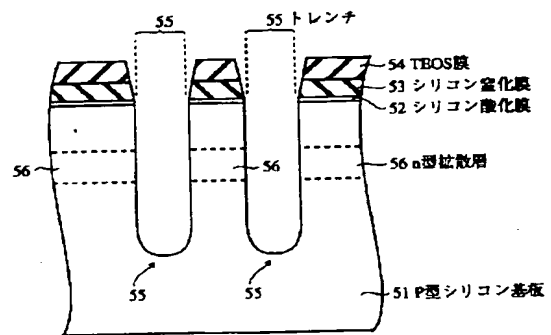
【図 16】



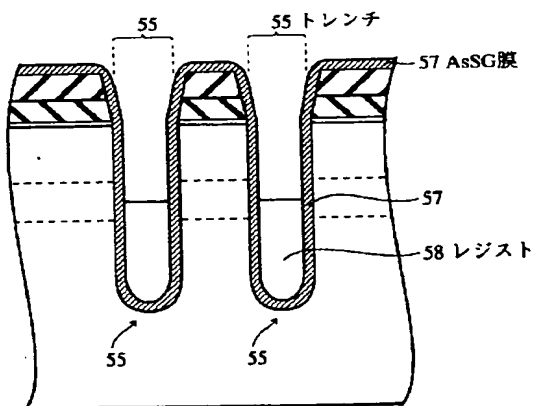
【図 21】



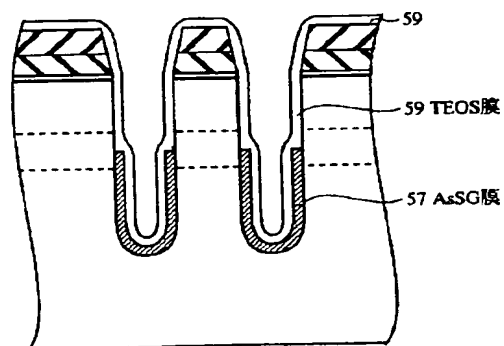
【図 22】



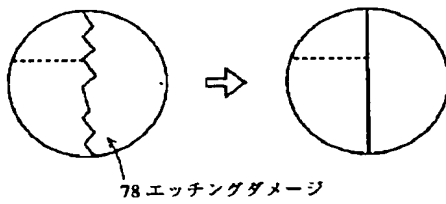
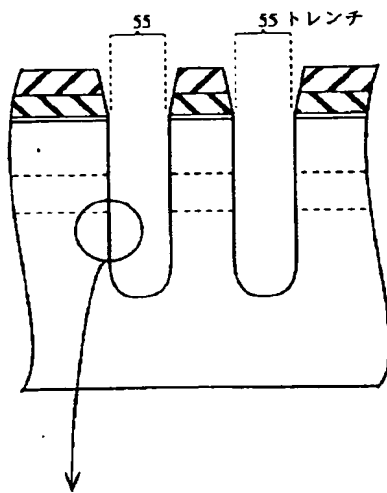
【図 24】



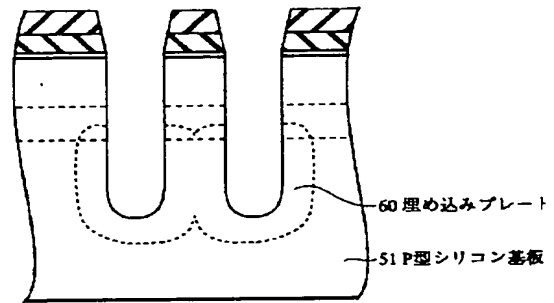
【図 26】



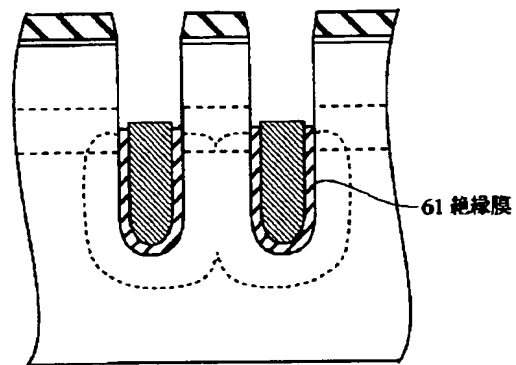
【図 23】



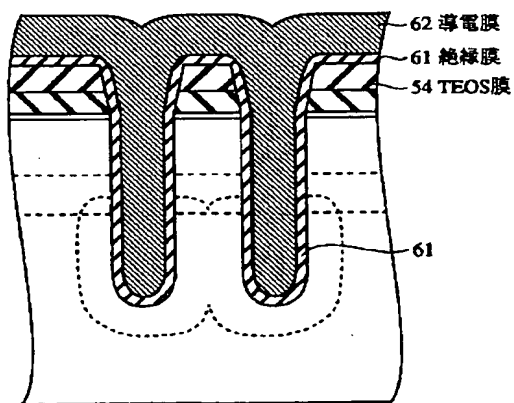
【図 27】



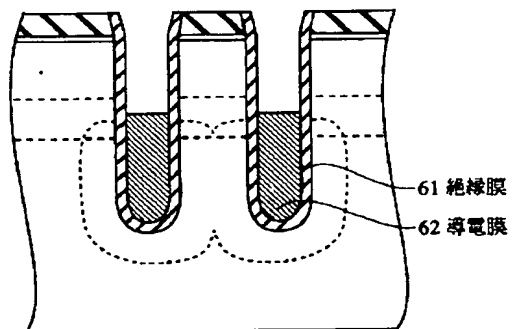
【図 30】



【図 28】

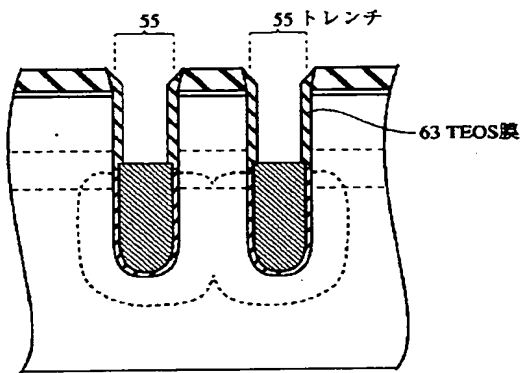


【図 29】

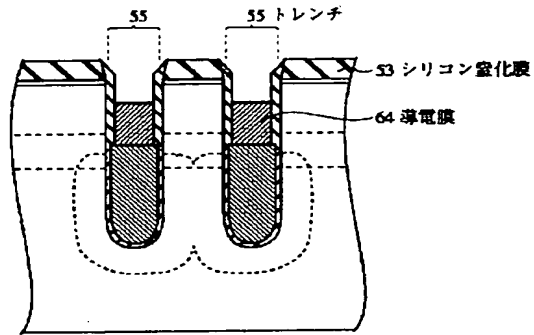




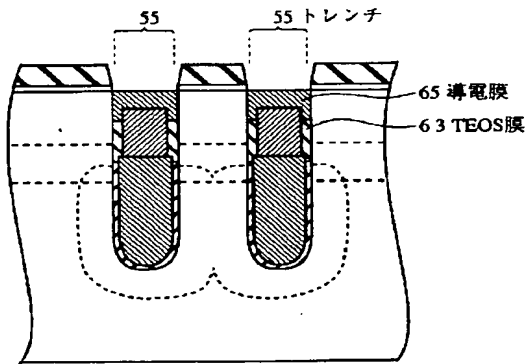
【図 3 1】



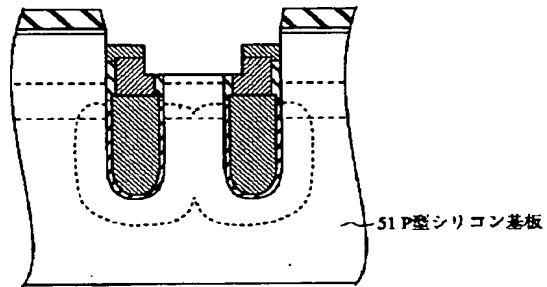
【図 3 2】



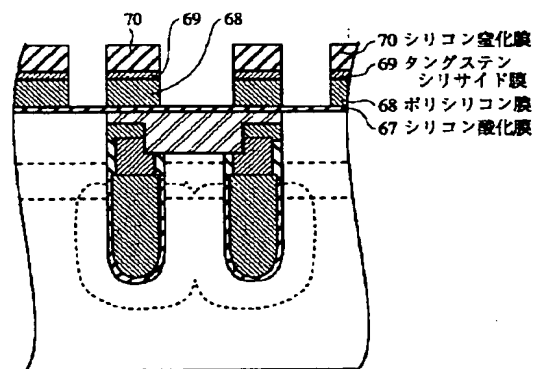
【図 3 3】



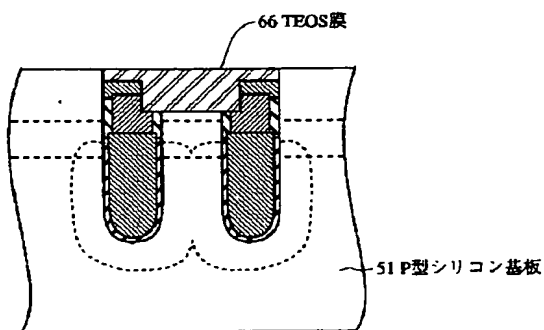
【図 3 4】



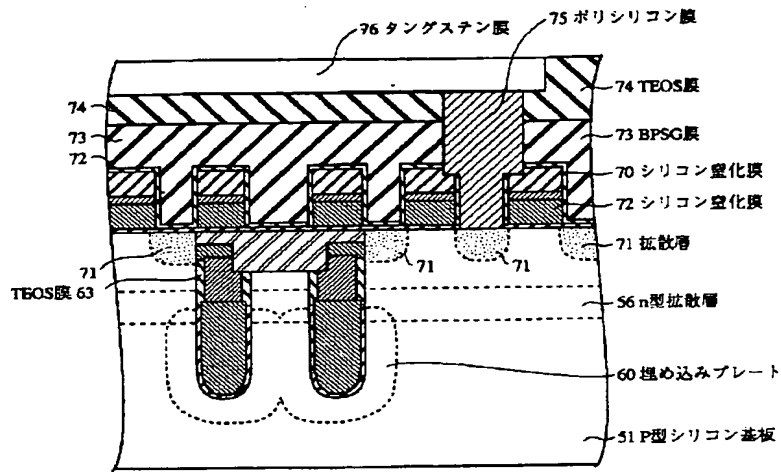
【図 3 6】



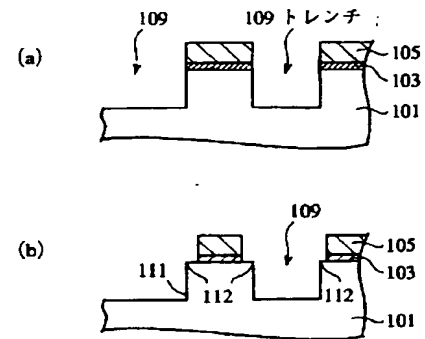
【図 3 5】



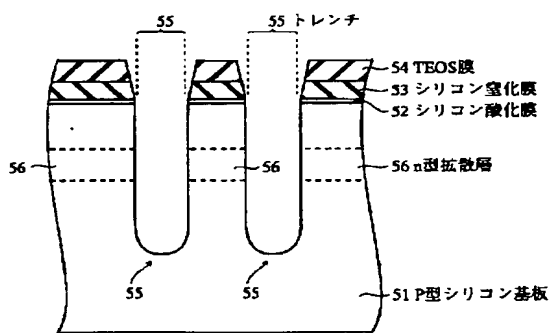
【図37】



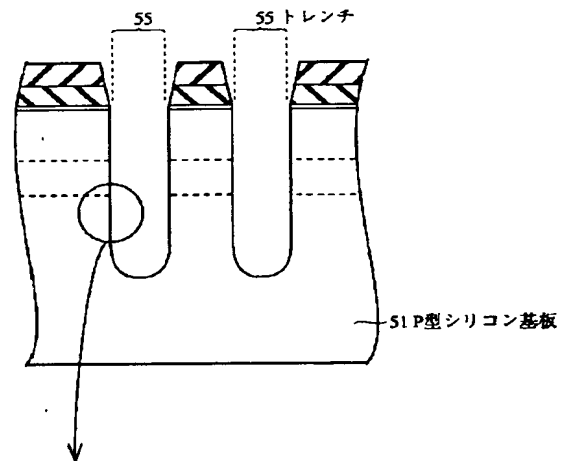
【図51】



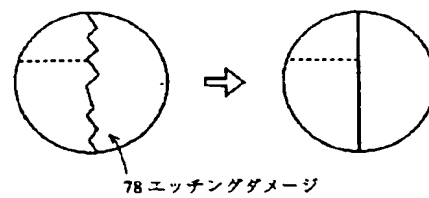
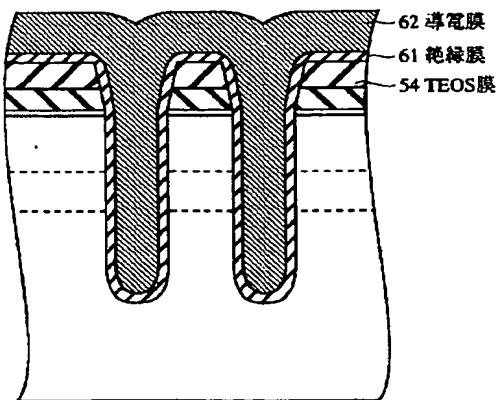
【図38】



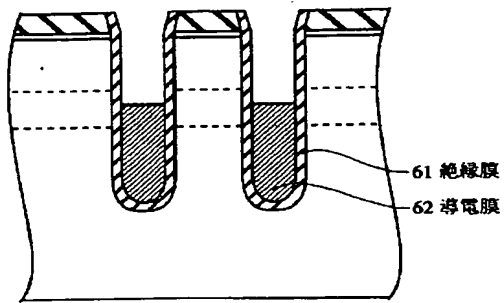
【図39】



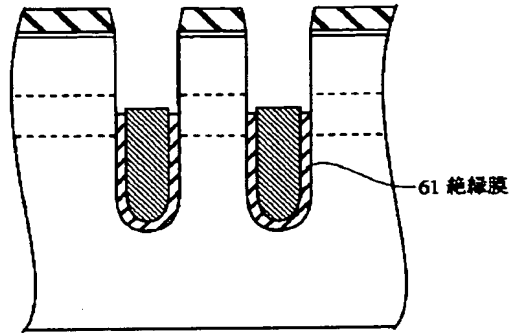
【図40】



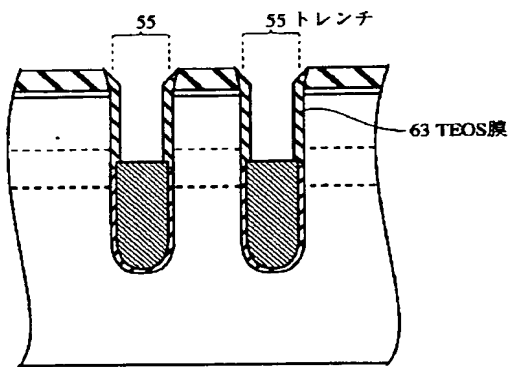
【図41】



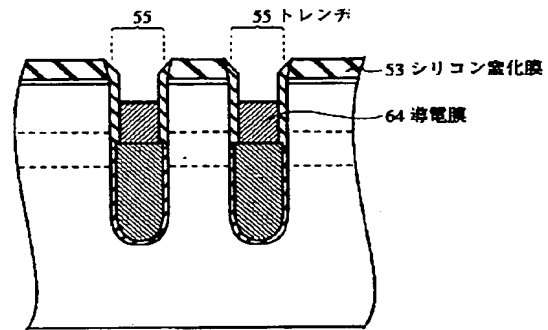
【図42】



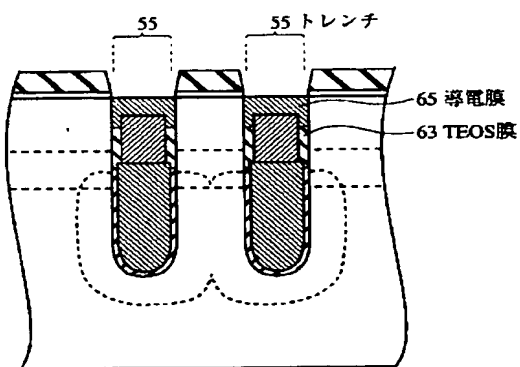
【図43】



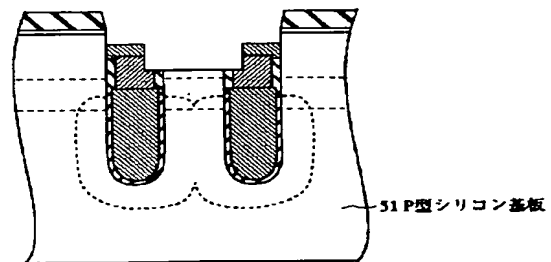
【図44】



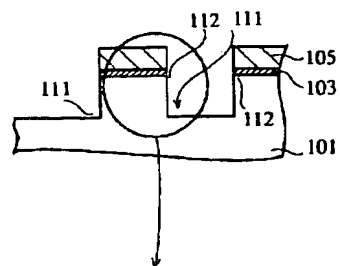
【図45】



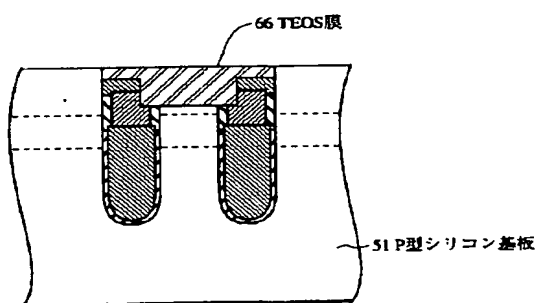
【図46】



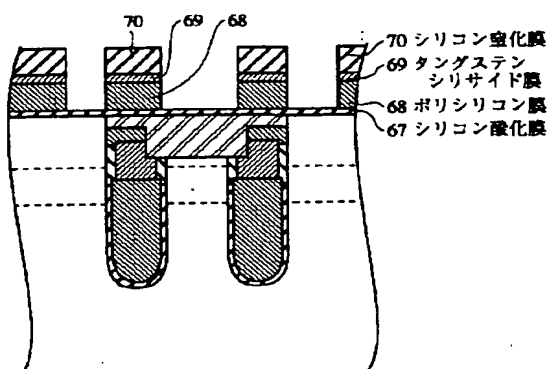
【図56】



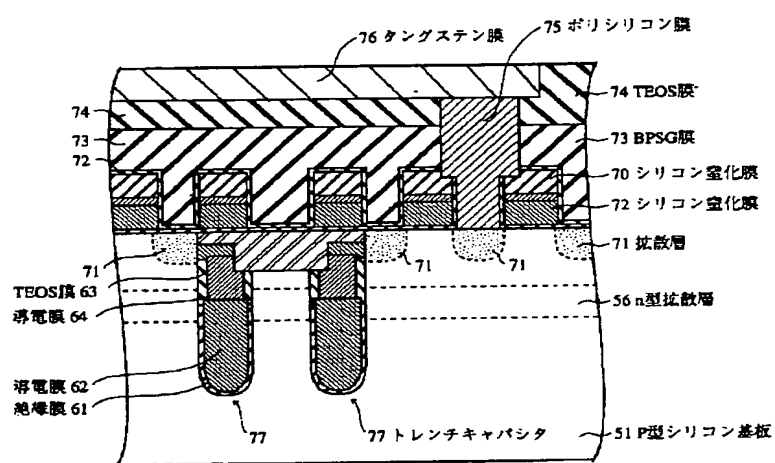
【图 4 7】



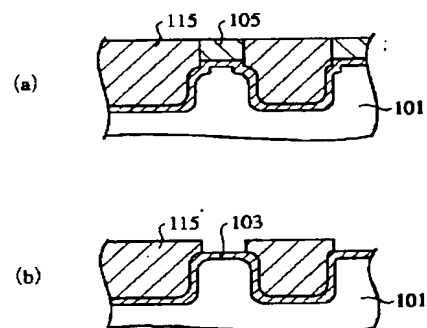
【图 48】



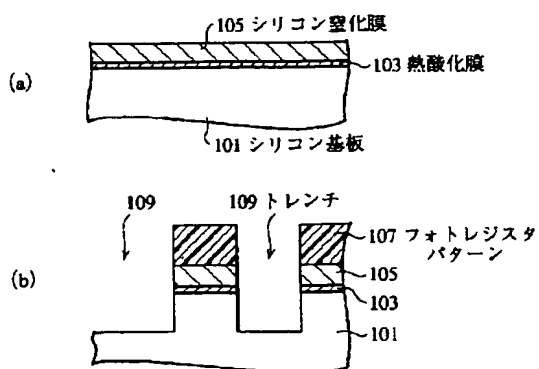
【图 49】



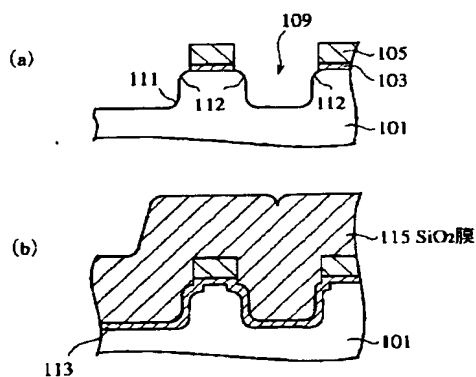
【图 5 3】



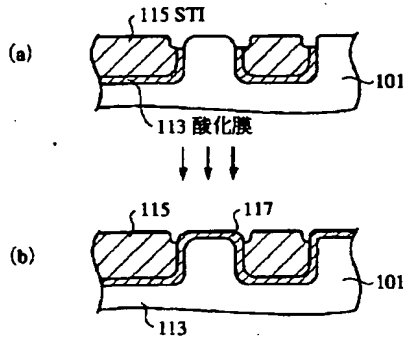
【図 50】



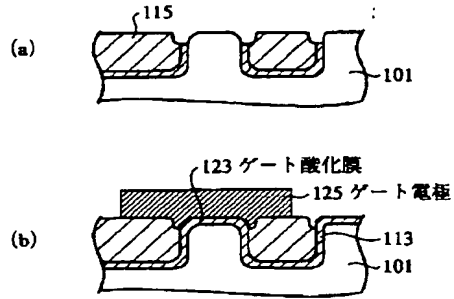
【图 5 2】



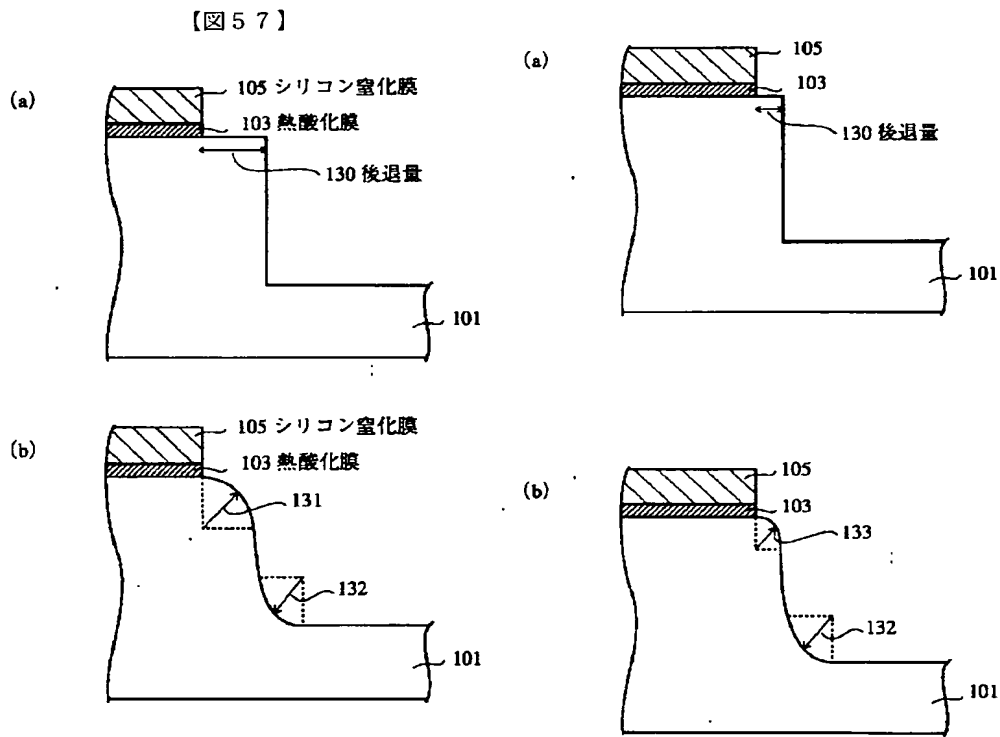
【図 5 4】



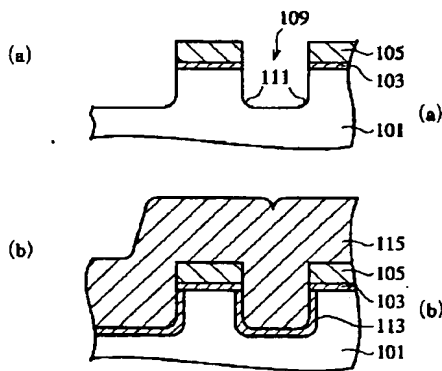
【図 5 5】



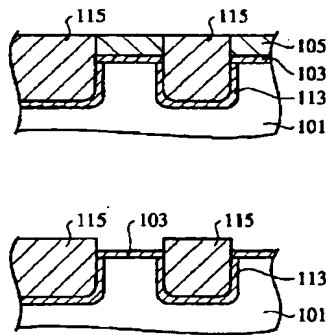
【図 5 8】



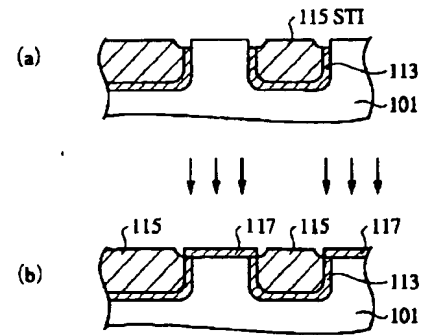
【図 5 9】



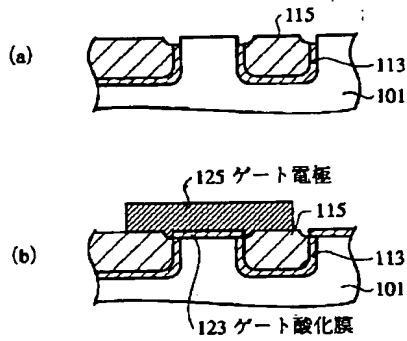
【図 6 0】



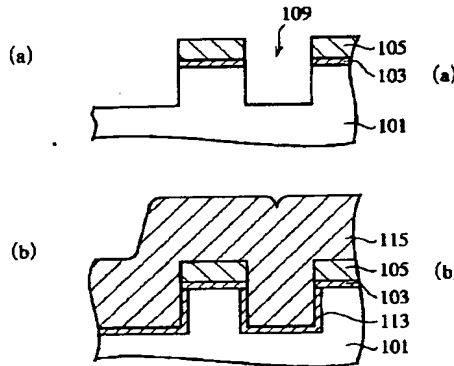
【図 6 1】



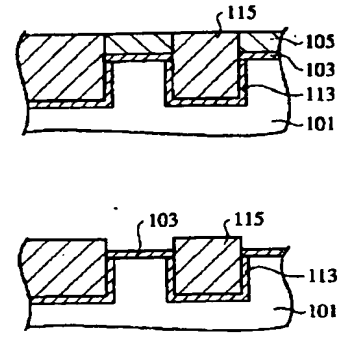
【図62】



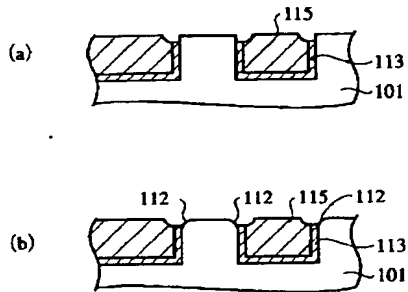
【図63】



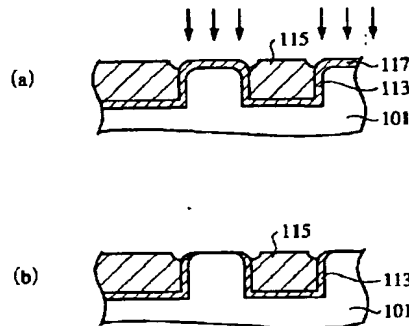
【図64】



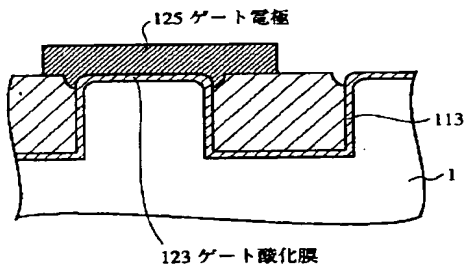
【図65】



【図66】



【図67】



フロントページの続き

(72) 発明者 松田 聡  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内  
(72) 発明者 綱島 祥隆  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72) 発明者 水島 一郎  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内  
(72) 発明者 佐藤 力  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72) 発明者 岸 宏一

神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

F ターム (参考) 5F040 DC01 EC02 EC07 EK05 EM04  
EM06 FC10 FC12 FC21 FC22  
5F083 AD15 AD17 GA21 JA03 JA35  
JA53 NA01 PR03 PR05 PR06  
PR12 PR40